

第 4 章 1：高速電路設計

當訊號速度超過 100 MHz，「走線不再只是導線」，必須當作「傳輸線」來處理。

一、什麼是高速？

判斷標準不是頻率，而是「訊號邊緣 vs 走線長度」。

集總 vs 分佈式

當走線長度 L 遠大於電的傳播波長 $\lambda/10$ ：

$$L > \frac{\lambda}{10} = \frac{c \cdot t_r}{10}$$

電子在 PCB 上的速度約 ~ 6 ps/mm (PCB FR4 中為 50% 光速)。

範例

訊號上升時間 $t_r = 1$ ns (如 100 MHz 方波)：- 對應有效頻寬 $\approx 0.35 / t_r = 350$ MHz - 等效波長
 $= c \times t_r = 3 \times 10^8 \times 1 \times 10^{-9} = 30$ cm (自由空間) - 在 FR4 中 ≈ 15 cm - $\lambda/10 \approx 1.5$ cm

→ 走線 > 1.5 cm 就要當「傳輸線」處理。

二、傳輸線理論

特徵阻抗 (Z_0)

$$Z_0 = \sqrt{\frac{L'}{C'}}$$

L' 、 C' 是單位長度的電感與電容。

常見阻抗標準

介面	Z ₀
同軸電纜（電視）	75 Ω
同軸電纜（射頻）	50 Ω
USB 2.0 差分對	90 Ω
USB 3.0 / PCIe	85 Ω
HDMI / DisplayPort	100 Ω
LVDS	100 Ω
Ethernet RJ45	100 Ω 差分
DDR4 single-end	40–50 Ω

反射係數（ Γ ）

當訊號遇到阻抗不匹配：

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0}$$

完全匹配（ $Z_L = Z_0$ ）： $\Gamma = 0$ ，無反射。開路： $\Gamma = +1$ ，完全反射。短路： $\Gamma = -1$ ，反相反射。

終端匹配

並聯終端（Parallel Termination）

接收端接 Z_0 到 GND（或 V_{TT} ）。

串聯終端（Series Termination）

源端串聯 R_s ，使 $R_s + R_{drv} = Z_0$ 。

戴維寧終端

V_{TT} 用兩電阻分壓提供。

三、PCB 走線結構

Microstrip (微帶線)

—signal— ← [?] [?] [?] [?] [?]
 ————— ← FR4 [?] [?] [?]
 ————— ← [?] [?] [?] [?] [?] [?] [?] [?]

阻抗計算（簡化）：

$$Z_0 \approx \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln\left(\frac{5.98H}{0.8W + T}\right)$$

- W：線寬
- H：到地距離
- T：銅厚

Stripline (帶狀線)

————— ← [?] [?] [?] [?] [?]
 —signal— ← [?] [?] [?] [?]
 ————— ← [?] [?] [?] [?] [?]

阻抗較均勻、電磁干擾小，但無法在表面。

阻抗計算工具

- Saturn PCB Toolkit (免費)
- Polar Si9000 (業界標準)
- KiCad / Altium 內建計算機

阻抗精度通常 $\pm 10\%$ (依製造廠 stackup)。

四、高速訊號的問題

1. 反射 (Reflection)

阻抗不匹配 → 訊號回彈，造成 ringing、過衝、欠衝。

解方：終端匹配。

2. 串擾 (Crosstalk)

相鄰走線之間的容性 / 感性耦合。

種類

- NEXT (Near-End Crosstalk)：被害方近端
- FEXT (Far-End Crosstalk)：被害方遠端

解方

- 加大線間距 (3W 規則： $\text{spacing} \geq 3 \times \text{line width}$)
- Stripline 結構
- 屏蔽 (guard trace 接地，兩端 via)

3. 衰減與失真

趨膚效應 (Skin Effect)

高頻時電流集中在導體表面，等效電阻增加。

介電損耗 (Dielectric Loss)

FR4 在 GHz 級損耗大，需要 low-loss 材料：- Rogers RO4350B - Megtron 6 - Isola I-Speed

4. 抖動 (Jitter)

時鐘的周期變化：- 隨機抖動 (RJ) - 確定性抖動 (DJ)

影響：高速通訊 BER、ADC 取樣性能。

5. ISI (Inter-Symbol Interference)

通道頻寬不夠，前一個 bit 影響下一個。解方：等化器 (Equalizer，如 CTLE、DFE)。

五、差分對 (Differential Pair)

為什麼用差分？

- 抗共模雜訊
- 較低 EMI (互相抵消)
- 速度高 (電壓擺幅小)

差動阻抗

不是單獨 Z_0 的 2 倍，受耦合影響：

$$Z_{diff} = 2Z_0(1 - k)$$

k ：耦合係數。緊耦合差分對 $Z_{diff} < 2 \cdot Z_0$ 。

設計規則

1. 長度匹配：兩線長度差 $< 0.1 \cdot t_r$ 對應的距離
2. 同步走：以對稱方式走線
3. 避免分離繞行：兩線必須一起走
4. 緊耦合 vs 鬆耦合：依介面標準
5. 不要跨越 plane 切割：返回路徑斷裂造成 EMI

例子：USB 3.0 差分對

- $Z_{diff} = 90 \Omega$
- 對內 skew < 5 ps
- 對間 skew < 100 ps（不嚴格）

六、走線拓撲

Point-to-Point (P2P)

最佳，最簡單。

菊花鍊 (Daisy Chain)

```
Driver —[stub]— R1 —[stub]— R2 —[stub]— R3
```

每個分支點有 stub（短殘段），造成反射。

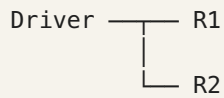
Fly-by (DDR3/4 標準)

```
Driver — R1 — R2 — R3 — R4 — [?] [?]
```

```
[?] [?] [?] [?] [?] [?] [?] [?] [?] [?] [?] [?] [?] stub [?] stub [?] stub [?] stub
```

每個 DRAM 共用主走線，短 stub 連接。較傳統 T 拓撲快。

T 拓撲



對稱分支，但只能 2 個負載。

七、Vias 過孔的處理

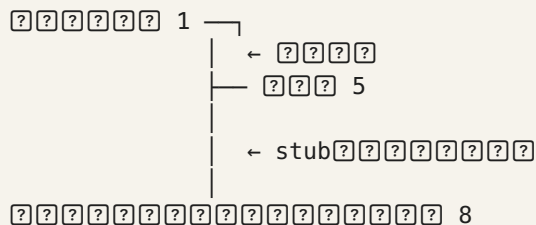
Via 是高速訊號的「不連續點」：

過孔類型

- PTH (Plated Through Hole)
- Blind Via：表層到內層
- Buried Via：內層到內層
- Microvia：HDI 用，雷射鑽

Stub

不通的 via 部分：



Stub 在高頻時造成共振，可能與訊號頻率衝突。解方：- Backdrill（雷射鑽掉 stub）- 用 blind/buried via

反焊盤 (Anti-pad)

via 周圍的銅清空：- Anti-pad 大 $\rightarrow$ Z_0 升高（電容下降）- 補償 via 的電感效應

返回路徑 via

訊號跨層時，必須有臨近的 GND via 提供返回路徑。

八、高速時鐘

時鐘 vs 資料

時鐘訊號要：- 低 jitter (< 100 fs for 高速 SerDes) - 低相位雜訊 - 良好終端

時鐘樹

從振盪器到所有目的地：- 用 Buffer / Fan-out IC (如 LMK00308) - 等長走線 (避免 skew) - 對稱拓撲

時鐘恢復 (CDR)

高速串列訊號 (PCIe、SerDes)：- 接收端從訊號邊緣恢復時鐘 - PLL 鎖相 - 不需單獨時鐘線

九、SerDes (Serializer/Deserializer)

為什麼用 SerDes？

10 Gbps 並列要 10 條 1 Gbps 線，難 layout。1 條 10 Gbps 串列線 (差分) 即可。

高速協定

協定	速度
USB 3.0 / 3.1	5 Gbps / 10 Gbps
PCIe Gen3 / 4 / 5	8 / 16 / 32 GT/s
SATA III	6 Gbps
HDMI 2.1	48 Gbps
100/400G Ethernet	per lane 25/56/112 Gbps
Thunderbolt 3/4	40 Gbps

訊號完整性挑戰

56 Gbps NRZ 已接近銅的極限，因此進入 PAM4 (4 階訊號)：同 baud 下傳 2 倍位元，但 SNR 要求高。

十、量測高速訊號

示波器

- 頻寬：訊號最高有效頻寬的 3-5 倍
- 取樣率：頻寬 $\times 2.5$ 以上
- 工具：Keysight、Tektronix、Rohde & Schwarz

探棒

- 被動探棒：低成本但寄生大
- 主動 FET 探棒：高頻寬、低負載
- 差分探棒：差分訊號量測

TDR（時域反射計）

量測阻抗連續性、找不連續點。

眼圖（Eye Diagram）

訊號完整性量測：- 眼高：抗雜訊 - 眼寬：抗 jitter

BERT（誤碼率測試儀）

量測高速通訊的 BER。

十一、本章總結

✔ 您應該掌握：

- [x] 高速 vs 低速判斷標準
 - [x] 傳輸線、特徵阻抗、反射
 - [x] Microstrip / Stripline 結構
 - [x] 終端匹配
 - [x] 串擾與差分訊號
 - [x] Via 對高速的影響
 - [x] 走線拓撲（P2P / Fly-by / T）
 - [x] SerDes 與高速協定
 - [x] 量測工具
-

下一章

02-RF[?][?][?][?].md 一 射頻電路專章。