

第 6 章 1：IC 製造流程

從晶圓到 IC 的完整製造，分為「前段 (FAB)」與「後段 (OSAT)」。

一、前段製程 (Wafer Fab)

(對應 02-半導體篇/09-半導體製程概論.md，本章補充更詳細步驟)

主要步驟

1. 晶圓清洗 (RCA Clean)
2. 氧化 (Thermal Oxidation)
3. 沉積 (CVD/PVD/ALD)
4. 微影 (Photolithography)
5. 蝕刻 (Etching)
6. 離子佈植 (Ion Implantation)
7. 退火 (RTA / Furnace Anneal)
8. CMP (化學機械拋光)
9. 金屬化 (銅大馬士革製程)

每片晶圓會經過 600+ 步驟，2-3 個月製程時間。

二、CMOS 製程詳解

1. STI (淺溝槽隔離)

- 蝕刻溝槽
- CVD 填 SiO_2
- CMP 平坦化

2. Well 形成

- 光阻定義 N-well 區域
- 高能 P 離子佈植
- 高能 N 離子佈植 (P-well)
- 退火活化

3. 閘極氧化

- 乾氧化
- 形成 1–2 nm 氧化層
- 現代用 high-k (HfO_2)

4. 閘極定義

- 沉積多晶矽 / 金屬閘極
- 微影 + 蝕刻
- 形成電晶體閘極

5. LDD 與 spacer

- 輕摻雜源汲（緩衝劇烈電場）
- spacer 沉積（自對準源汲位置）

6. 重摻雜源汲

- 高劑量離子佈植
- 退火活化

7. 矽化物 (Salicide)

- 沉積金屬 (Co、Ni、Ti)
- 反應形成矽化物
- 降低源汲與閘極接觸電阻

8. 接觸層 (Contact)

- 介電質沉積
- 接觸孔蝕刻
- 鎢填充
- CMP

9. 多層金屬 (M1–MN)

每層：- 介電質沉積 (low-k) - 開孔 (via, trench) - 銅電鍍 - CMP

層數：5–15+ 層（依製程節點）。

10. 鈍化 (Passivation)

- 最後保護層 (SiN)
 - Pad 開孔 (接打線或 bumping)
-

三、晶圓測試 (CP, Chip Probing)

探卡 (Probe Card)

- 探針陣列
- 對應晶粒上每個 pad
- 一次測試多顆晶粒 (site)

測試項目

- DC 參數 (漏電、電源電流)
- 功能測試 (基本邏輯)
- 速度測試 (簡化)
- 標記不良品 (ink dot 或軟體 bin map)

CP 機台

- Advantest、Teradyne 為兩大龍頭

良率 (Yield)

- 高 yield = 製程穩定、設計成熟
 - 80%+ 是商業可行
 - 新製程可能 < 50% 起步
-

四、後段製程 (Backend / Packaging)

1. 切割 (Dicing)

- 晶圓貼到藍膠
- 鋼線 / 雷射切割
- 分割成個別晶粒

2. 黏晶 (Die Bond)

- 用銀膠或共晶黏到 lead frame / substrate

3. 打線 (Wire Bond)

- 金線、銅線、銀線
- 自動打線機
- 連接晶粒 pad 到封裝引腳

4. 模塑 (Molding)

- 環氧樹脂封裝
- 熱壓成型

5. 修切 / 切割 (Trim & Form)

- 切除 lead frame 的連桿
- 引腳成形

6. 標記 (Marking)

- 雷射打字
- Part Number、批號、廠商 logo

7. 最終測試 (Final Test, FT)

- 完整功能與速度測試
- 高溫 / 低溫測試 (Test in Tray)
- 分 Bin (依等級分類)

8. Burn-in (如果需要)

- 高溫高壓加速老化
- 過濾「早夭品」 (infant mortality)

五、先進封裝 (Advanced Packaging)

Flip-Chip

- 晶粒朝下，凸塊 (bump) 直接接 substrate

- 比打線快、密度高

BGA (Ball Grid Array)

- 整面焊球輸出
- 適合多腳 IC

CSP (Chip Scale Package)

- 封裝 = 晶粒尺寸
- 行動裝置主流

WLP (Wafer Level Package)

- 在晶圓階段直接封裝
- 體積最小

SiP (System in Package)

- 多顆晶粒 + 被動元件 + 抗 EMI 罩
- 整合度高

CoWoS (Chip on Wafer on Substrate)

- 台積電技術
- 主晶片 + HBM + interposer
- 用於 NVIDIA AI GPU、AMD MI 系列

EMIB (Embedded Multi-die Interconnect Bridge)

- Intel 技術
- 比 CoWoS 便宜的 chiplet 連接

3D 堆疊 (HBM、3D NAND)

- TSV (Through Silicon Via)
 - 垂直密度倍增
-

六、IC 主要廠商生態

晶圓代工

- TSMC（台積電）：全球第一，先進製程
- Samsung Foundry：第二
- Intel Foundry：18A 開始爭奪
- GlobalFoundries：12 nm 以上
- SMIC（中芯）、UMC（聯電）

封裝測試（OSAT）

- ASE（日月光）：全球第一
- Amkor（艾克爾）
- JCET（長電）：中國
- 矽品、京元電子（已併入 ASE 集團）
- 力成、超豐
- TFME（通富微電）

設備

- ASML（EUV 微影獨家）
- Applied Materials
- LAM Research
- Tokyo Electron
- KLA（量測）
- 中微（蝕刻）

材料

- Shin-Etsu、SUMCO（晶圓）
- 日立化成、JSR（光阻）
- Versum、Air Liquide（氣體）

七、本章總結

✅ 您應該理解：

- [x] 前段晶圓製程詳細步驟

- [x] CMOS 製程關鍵步驟
- [x] CP 晶圓測試
- [x] 後段封裝流程
- [x] 先進封裝技術
- [x] 整體產業鏈生態

下一章

02-???.md