

第 4 章 3：電源完整性 (Power Integrity, PI)

PI 處理「電源傳遞網路 (PDN) 如何提供乾淨穩定的電源給每顆 IC」。高速設計時 PI 與 SI 同等重要。

一、電源完整性的核心問題

當 IC 切換瞬間（如 CPU 從 idle 進入 burst 運算），需要瞬間大電流。

如果 PDN 阻抗不夠低，電源電壓會塌陷：- 邏輯誤判 - 訊號完整性受損 - EMI 增加

二、PDN 目標阻抗

計算

$$Z_{target} = \frac{V_{ripple, allowed}}{I_{transient}}$$

範例：- $V_{DD} = 1.0V$ - 允許 ripple = 5% = 50 mV - 暫態電流 5A - $Z_{target} = 50m / 5 = 10 m\Omega$

→ PDN 在 IC 工作頻段需保持 $< 10 m\Omega$ 。

頻率範圍

從 DC 到 IC 的 di/dt 對應頻寬，現代可能達 GHz。

三、PDN 元件貢獻

1. VRM (Voltage Regulator Module)

DC – kHz 範圍：- LDO / Buck 控制迴路 - 響應頻寬幾百 kHz

2. 大電解 / 鉭電容

10 μF –1000 μF ：- Hz – kHz 範圍 - 補償 VRM 慢的部分

3. 中容量 MLCC

1 μF – 10 μF ：- kHz – MHz 範圍

4. 小容量 MLCC

0.01 μF – 0.1 μF : - MHz – 100 MHz

5. Plane 電容

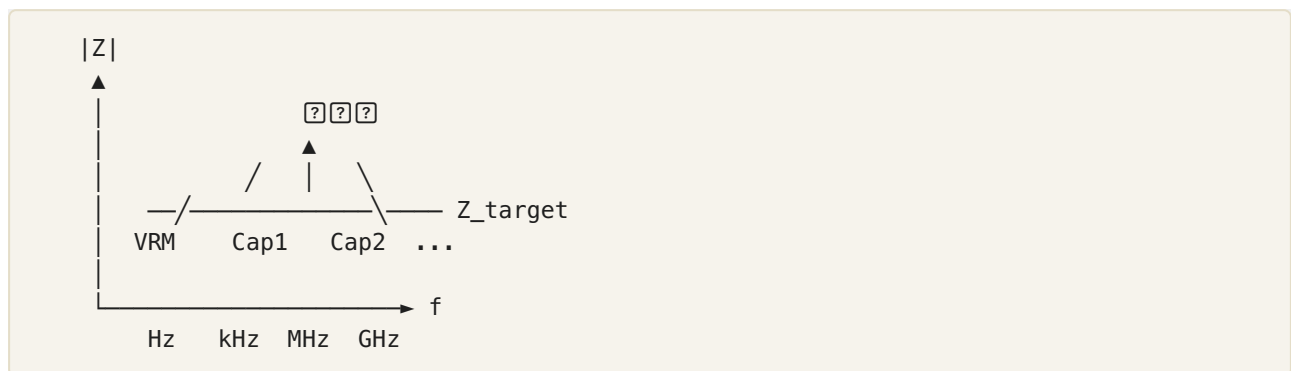
電源層與地層之間的平板電容： - 100 MHz – 1 GHz - 設計 stackup 時可控制

6. IC 內 on-die 電容

1 GHz： - IC 設計時加 decap cell - 對板級設計者透明但很重要

四、頻率域 PDN 阻抗曲線

理想：在工作頻段內，所有頻率 $|Z(f)| < Z_{\text{target}}$



不同電容在不同頻率主導（其 SRF 處達最低）。反諧振峰（anti-resonance）：兩個電容之間，必須壓低。

五、去耦電容設計

規則 1：選對位置

每顆 IC 電源腳緊靠去耦電容 ($< 5\text{ mm}$)。

規則 2：選對容量

規則 3：選對封裝

封裝越小 ESL 越小，高頻效果越好。

規則 4：多容量並聯

不要全部用同樣容量，分散 SRF：

範例典型組合： - 1 顆 100 μF (電解或聚合物) - 數顆 10 μF (X7R MLCC) - 數顆 0.1 μF (X7R MLCC，緊靠 IC pin)

規則 5：避免反諧振

兩顆電容容量比超過 100 倍，反諧振峰可能很高。解方：避免極端比例、或用 0402 與 0201 等不同封裝。

六、電源平面設計

多層 PCB stackup 範例 (6 層)

```
L1: Signal
L2: GND
L3: Power
L4: Power[ ][ ][ ][ ][ ]
L5: GND
L6: Signal
```

規則

- 電源與地相鄰，形成平板電容
- 訊號層相鄰是地層 (提供返回路徑)
- 高速訊號走中間屏蔽層

Cavity Resonance (腔體共振)

電源平面間是「諧振腔」，特定頻率有共振：

$$f_{m,n} = \frac{c}{2\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2}$$

a, b 是平面尺寸。

大平面在 GHz 級會有強共振峰，需要 EBG 結構或 stitching capacitor。

七、IR Drop

DC 電流通過 PCB 銅箔產生壓降：

$$V = I \times R$$

對 1 oz 銅 (35 μm)：~ 0.5 m Ω /方塊

範例

VRM $\rightarrow$ CPU 距離 5 cm，3 mm 寬走線，1 oz：電阻 = $0.5\text{m} \times 50/3 = 8.3\text{ m}\Omega$ 若 50A $\rightarrow$ 0.42V drop！

$\rightarrow$ 大電流需要：- 厚銅 (2 oz / 3 oz) - 多層並聯 (power plane) - 短距離

IR Drop 模擬工具

- HyperLynx
- PowerSI (Cadence)
- ANSYS SIwave

八、瞬態響應

Step Response

當負載突然從 0 $\rightarrow$ 滿載：1. ICs on-die cap 先釋放 (ns 級) 2. 板上小 MLCC 跟上 (10-100 ns) 3. 大 MLCC (100 ns – μs) 4. 大電容 (μs – ms) 5. VRM 控制環追上 (ms 級)

每階段平滑接力，輸出電壓不能塌陷太多。

VRM 補償設計

控制環的相位裕度與頻寬決定暫態能力。工具：模擬 + Bode 量測。

九、量測 PI

1. 直流 IR Drop

量電源點與 GND 之間的電壓。

2. AC Ripple

示波器 + tip + ground spring。

3. PDN 阻抗 (VNA)

注入小信號量 $|Z(f)|$ 曲線。

4. 暫態響應

電子負載突然切換，量輸出 droop。

十、本章總結

✅ 您應該掌握：

- [x] PDN 目標阻抗計算
- [x] 不同元件在不同頻率主導
- [x] 去耦電容設計規則
- [x] 反諧振問題
- [x] PCB stackup 與電源平面
- [x] IR Drop 計算
- [x] 暫態響應的多階段接力

下一章

04-???.SI.md — Signal Integrity。