

第 4 章 4：訊號完整性 (Signal Integrity, SI)

SI 處理「訊號從發送端到接收端能否被正確接收」。

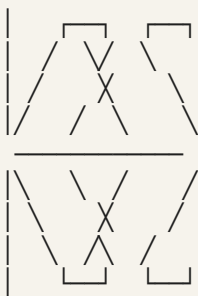
一、SI 主要問題

1. 反射 (Reflection)
2. 串擾 (Crosstalk)
3. 衰減 (Attenuation / Loss)
4. 抖動 (Jitter)
5. ISI (Inter-Symbol Interference)
6. 雜訊 (Noise)
7. 同步切換雜訊 (SSN/Ground Bounce)

(部分概念已在「01-高速電路設計」介紹)

二、眼圖 (Eye Diagram)

把多個 bit 週期重疊起來：

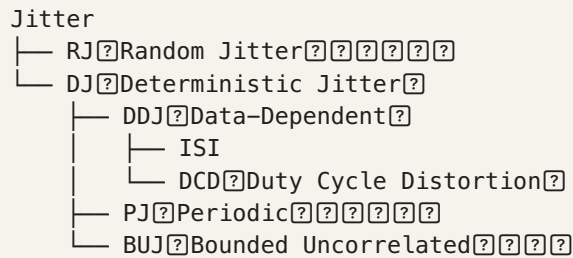


量測

- 眼高 (Eye Height)：垂直開度，反映抗雜訊
 - 眼寬 (Eye Width)：水平開度，反映抗 jitter
 - 抖動：邊緣的時間散佈
 - 遮罩測試 (Mask Test)：規範允許範圍
-

三、Jitter 分析

Jitter 分類



規範

通訊規範通常規定 $TJ@BER10^{-12}$ 不超過某 UI (單位區間)。

四、衰減與通道補償

高頻衰減源

- 介電損耗 (dielectric loss)
- 趨膚效應 (skin effect)
- 銅粗糙度 (roughness)

通道頻率響應

$|H(f)|$ 隨頻率下降。

等化器 (Equalizer)

1. 發送端 (TX EQ)

- Pre-emphasis：強化高頻成分
- De-emphasis：壓低低頻

2. 接收端 (RX EQ)

- CTLE (Continuous-Time Linear Equalizer)：高頻補償
- DFE (Decision Feedback Equalizer)：消除 ISI

高速協定的 EQ 配置

PCIe Gen5、56G PAM4 都有強 EQ 配合 CRC/ECC。

五、SSN / Ground Bounce

同步切換雜訊

多個 IC 輸出同時切換，地電位短暫跳動：

$$V_{noise} = L_{return} \cdot \frac{di}{dt}$$

解方

- 短粗的接地路徑
 - 多個 GND via
 - 限制 di/dt (slew rate control)
 - 平衡的差分 / 互補編碼
-

六、Pre-Layout 與 Post-Layout SI

Pre-Layout

設計階段： - 估算寄生 - 模擬通道 - 決定走線拓撲、終端

Post-Layout

實際 PCB 後： - 提取 S 參數 - 全鏈路模擬 - 修正 marginal 訊號

SI 模擬工具

- HyperLynx
 - ADS Channel Simulator
 - HSpice + IBIS-AMI
 - Sigridy (Cadence)
-

七、IBIS 模型

IBIS (I/O Buffer Information Specification)

由 IC 廠商提供，描述 IO buffer 行為的「黑盒模型」：- I/V 曲線 - V/T 開關特性 - 寄生元件

IBIS-AMI

添加演算法模型（用於高速 SerDes EQ 模擬）。

八、本章總結

✅ 您應該掌握：

- [x] 眼圖、jitter 分類
 - [x] 通道衰減與 EQ 補償
 - [x] CTLE 與 DFE
 - [x] SSN / Ground Bounce
 - [x] Pre/Post-Layout 模擬流程
 - [x] IBIS / IBIS-AMI 模型
-

下一章

05-EMI-EMC[?][?].md — EMI/EMC。