

第 3 章 5：電源供應器設計

電源是「電子產品的腦袋」。設計不好，整個系統都不穩定。本章涵蓋線性與開關式電源的設計細節。

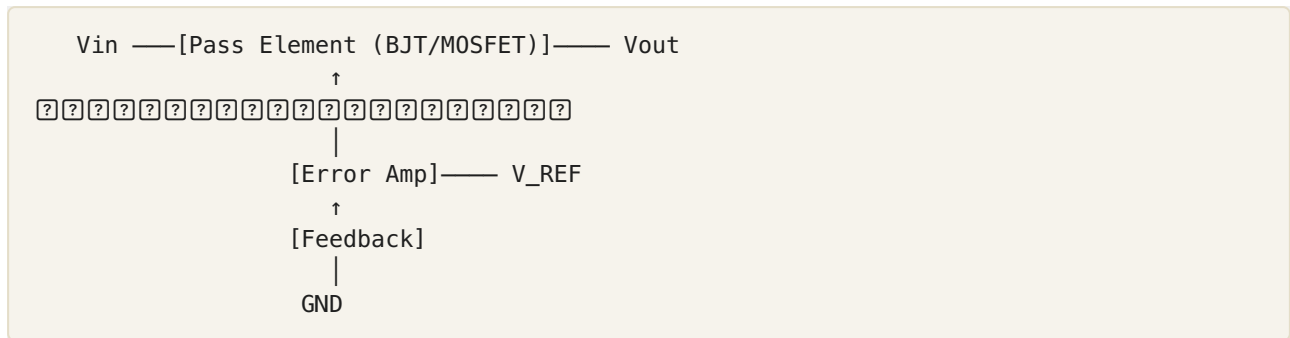
一、電源規格分析

設計前先釐清需求：

項目	範例
輸入電壓範圍	4.5 – 5.5 V
輸出電壓	3.3 V
輸出電流（最大）	1.5 A
輸出電流（典型）	500 mA
輸出紋波要求	< 50 mV pp
暫態響應	50% 負載階躍 < 50 μ V
效率要求	> 90% @ 滿載
工作溫度	-20 to +85 ° C
隔離	否（板上電源）
認證	EMI Class B

二、線性穩壓器 (Linear Regulator)

基本架構



Pass Element 像可變電阻，依負載調整。

三大類

1. NPN 線性 (Standard)

- 用達靈頓 NPN 作為 pass
- Dropout $\approx 2V$
- 經典 LM7805

2. PNP / PMOS LDO (低壓差)

- 用 PNP 或 PMOS 作為 pass (共源/共射輸出)
- Dropout 可低至 100 mV
- 大部分現代 LDO 是這類

3. NMOS LDO (最低 Dropout)

- 但需要 V_{GS} 高於 V_{in} (用 charge pump)
- Dropout < 50 mV
- 高效能 LDO

關鍵規格

1. 輸出電壓精度

等級	容差
低	±5%
中	±2%
高	±1%
精密	±0.5% 以下

2. Dropout Voltage

$V_{in} - V_{out}$ 最小值，低於此 LDO 失效。

3. 靜態電流 (I_q)

未帶負載時 LDO 自身消耗。電池應用要選 μA 級。

4. PSRR (電源拒絕比)

$$PSRR = 20 \log_{10}(\Delta V_{in} / \Delta V_{out})$$

範例：PSRR = 60 dB $\rightarrow$ 1V 輸入波動只造成 1 mV 輸出波動。

5. 雜訊

μV_{rms} 級 (10 Hz – 100 kHz)。精密 ADC、射頻電路要選低雜訊 LDO (如 ADM7150 18 μV_{rms})。

6. 暫態響應

負載突然變化時的下衝/過衝幅度與恢復時間。

LDO 設計流程

1. 決定 V_{in} (最小、最大)
2. 決定 V_{out} 與 I_{out}
3. 計算耗散： $P = (V_{in} - V_{out}) \times I_{out}$
4. 選熱阻 $R_{\theta JA}$ 滿足 $T_J < T_J(max)$
5. 選封裝 (SOT-23, SOT-89, TO-220, DFN, etc.)
6. 選輸入/輸出電容 (依 datasheet)

散熱範例

5V → 3.3V，1A，封裝 SOT-23 ($\theta_{JA} \approx 250^\circ \text{C/W}$)：

$$T_{\text{rise}} = (5-3.3) \times 1 \times 250 = 425^\circ \text{C} \rightarrow \text{不可能}$$

→ 必須選大封裝或 buck 取代。

換 SOT-223 ($\theta_{JA} \approx 50^\circ \text{C/W}$)： $T_{\text{rise}} = 1.7 \times 50 = 85^\circ \text{C} \rightarrow \text{環境 } 25^\circ \text{C} \rightarrow T_J = 110^\circ \text{C} \checkmark$

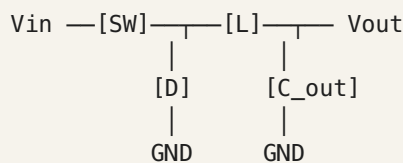
三、開關電源 (Switching Regulator)

為什麼用開關電源？

效率高 (80–98%)，不像 LDO 浪費功率為熱。

三大基本拓撲

1. Buck (降壓)



$$V_{\text{out}} = D \times V_{\text{in}}$$

工作：- SW 開：能量存入 L， I_L 線性增加 - SW 關：D 續流，L 釋放能量到 C_{out}

電感電流連續導通模式 (CCM)：

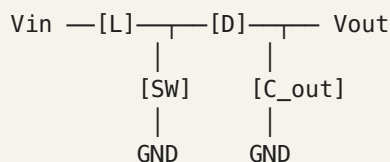
$$L = \frac{(V_{\text{in}} - V_{\text{out}}) \cdot D}{f_{\text{sw}} \cdot \Delta I_L}$$

ΔI_L 通常選負載電流的 30%。

輸出電容紋波：

$$\Delta V_{\text{out}} = \frac{\Delta I_L}{8f_{\text{sw}}C_{\text{out}}} + \Delta I_L \cdot ESR$$

2. Boost (升壓)



$$V_{out} = V_{in} / (1 - D)$$

3. Buck-Boost (升降壓)

V_{out} 可大或小於 V_{in} ，但反相。

衍生：SEPIC、Cuk、Zeta（無反相）

同步整流 (Synchronous Rectification)

用 MOSFET 取代蕭基二極體：- 損耗： $V_d \times I \rightarrow I^2 \times R_{DS(on)}$ - 高效率（特別在低 V_{out} 時） - 但需更貴的 IC，控制更複雜

開關頻率 (f_{sw}) 的取捨

f_{sw}	優點	缺點
低 (< 500 kHz)	損耗小、EMI 易控	L 與 C 大
中 (500 kHz – 2 MHz)	平衡	
高 (> 2 MHz)	L 與 C 小	損耗大、EMI 難

現代消費電子常用 1–3 MHz。

控制方式

A. 電壓模式控制 (Voltage Mode)

電壓回授 → PI/PID 補償 → PWM。簡單但補償較複雜。

B. 電流模式控制 (Current Mode)

電壓 + 電流雙迴路：- 電流回授快，先降低 - 電壓回授補償穩態誤差

優點：- 暫態響應好 - 自動限流

主流 IC 多用此方式。

C. Constant On-Time / DCAP

固定 ON 時間，頻率隨負載變化。TI DCAP3、Linear COT。

四、Buck 設計實例

需求：- $V_{in} = 5V$ - $V_{out} = 3.3V$ - $I_{out} = 1A$ - $f_{sw} = 1\text{ MHz}$ - 紋波 < 30 mV

步驟 1：選 IC

選 TPS54331（同步 buck，3A）。

步驟 2：計算電感

$$D = 3.3/5 = 0.66 \quad \Delta I_L = 30\% \times 1A = 0.3 A$$

$$L = \frac{(5 - 3.3) \times 0.66}{1M \times 0.3} \approx 3.74\mu H$$

選 4.7 μH ， $I_{sat} \geq 1.5A \rightarrow$ 例如 SLF7045 series。

步驟 3：計算輸出電容

假設 $ESR = 5 m\Omega$ ：

$$ESR \text{ 紋波} = 0.3 \times 5m = 1.5 mV$$

$$\text{電容紋波} = \Delta I / (8 f C) \rightarrow C \geq 0.3 / (8 \times 1M \times 30m) = 1.25 \mu F$$

選 22 μF X7R MLCC（考慮 DC bias 後實際約 10 μF ），紋波遠低於要求。

步驟 4：輸入電容

選 10 μF + 100 nF MLCC，緊靠 IC。

步驟 5：補償網路

依 IC datasheet 提供的補償公式或 webench 工具設計。

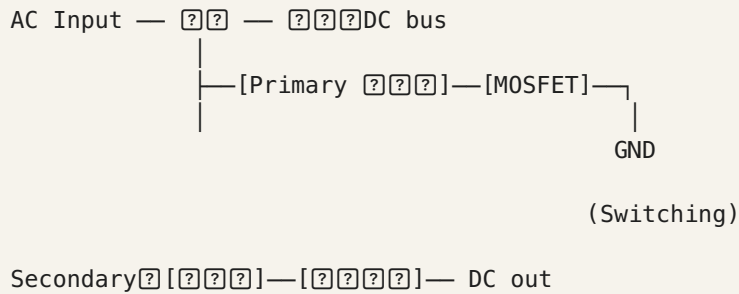
步驟 6：PCB Layout

- Hot loop (SW-L-C-GND) 面積最小化
- 反饋走線遠離 SW node
- 散熱銅箔

五、隔離電源拓撲

1. Flyback

最常見的隔離小功率 (< 100W) 拓撲：



工作： - ON 期間：能量存入變壓器 - OFF 期間：變壓器釋放到次級

特性： - 簡單，成本低 - 多輸出容易（多個次級繞組） - 變壓器有 air gap（儲能） - 適合 5-100W

控制 IC：UC384x、UCC28C42、TNY280（內建 MOSFET）。

2. Forward

連續導通，效率較高，100-500W。

3. Push-Pull / Half-Bridge / Full-Bridge

中大功率（200W-數 kW）。

4. LLC Resonant

軟切換、高效率，現代主流： - LCD TV - 伺服器電源 - 高效率充電器

特點： - ZVS（Zero Voltage Switching） - 低 EMI - 但設計較複雜

5. PFC + LLC

大於 75W 的家電都需要 PFC（功率因數校正）： - AC → 整流 → PFC（升壓） → LLC → 隔離輸出

PFC 改善： - PF（功率因數） → 接近 1 - 低諧波（符合 IEC 61000-3-2） - 提高電網利用率

PFC IC：L6562、UCC28019、NCP1612。

六、電源完整性實務

1. 多電源排序（Power Sequencing）

複雜 SoC 需要 1.0V 核心、1.8V IO、3.3V Analog 等多軌： - 上電順序錯誤可能造成 Latch-up -

Sequence IC：LTC2924、TPS386040

2. 軟啟動 (Soft Start)

避免上電瞬間衝擊電流：- IC 內建 SS 引腳 - 外接 SS 電容控制斜率

3. UVLO / OVP

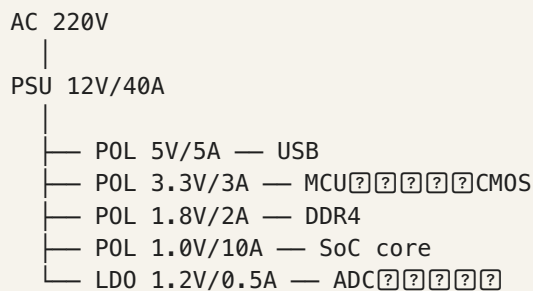
- UVLO (Under Voltage Lock-Out)：電壓低於閾值時關閉
- OVP (Over Voltage Protection)：電壓過高時保護

4. POL (Point of Load)

每個負載附近放一顆專用 buck，從 12V 主電源轉換到本地需要的 1V/1.8V。減少高電流走線、降低 IR drop。

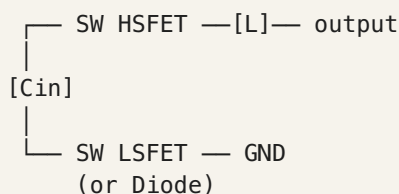
5. 電源樹 (Power Tree)

複雜系統的電源規劃圖：



七、PCB Layout 對電源的影響

Buck 的 hot loop



這個 hot loop 是 di/dt 最快的地方，必須面積最小。

反饋線

從 V_{out} 到 IC FB pin 的走線：- 細、靠地走 - 遠離 SW node（會耦合雜訊） - Kelvin connection 到負載端

散熱

熱透過 PCB 銅箔傳導：- IC 下方多層銅 + via - 大銅塊面積 - 可加散熱片

八、模擬與量測

模擬

LTspice 提供大量電源 IC 模型，模擬：- 暫態 (startup, load step) - 穩定性 (bode 圖) - 效率 - 紋波

量測

1. 示波器（紋波）：BW 限 20 MHz、AC 耦合、tip + ground spring（避免 loop 拾取雜訊）
 2. 網路分析儀（穩定性）：注入小信號量 Bode plot
 3. 負載暫態：電子負載快速切換量輸出響應
 4. 效率：高精度功率計或多用電表
-

九、本章總結

✅ 您應該掌握：

- [x] LDO 與開關電源的選擇
 - [x] LDO 設計流程與散熱計算
 - [x] Buck/Boost/Buck-Boost 三大拓撲
 - [x] 隔離拓撲 (Flyback、LLC)
 - [x] PFC 概念
 - [x] 電源排序、軟啟動、保護
 - [x] PCB Layout 關鍵點
-

下一章

06-???.md 一 進入數位電路世界。