

第 4 章 5 : EMI / EMC 設計

EMI（電磁干擾） / EMC（電磁相容性）：產品不能干擾別人，也要能抵抗別人的干擾。這是進入市場必過的一關。

一、EMI / EMC 概念

EMI (Electromagnetic Interference)

電子設備產生的電磁能量，可能干擾其他設備。

EMC (Electromagnetic Compatibility)

設備在電磁環境中能正常工作，且不對該環境造成不可接受的干擾。

EMC = EMI + EMS

- EMI (Emission)：發射
 - CE (Conducted Emission)：傳導發射
 - RE (Radiated Emission)：輻射發射
 - EMS (Susceptibility)：敏感度（被干擾的能力）
 - CS (Conducted Susceptibility)
 - RS (Radiated Susceptibility)
 - ESD（靜電放電）
 - EFT（電快速暫態）
 - Surge（突波）
-

二、法規與認證

全球主要法規

地區	法規
美國	FCC Part 15
歐盟	CE (EN 55032、EN 61000)
日本	VCCI
中國	CCC
韓國	KC
台灣	NCC、BSMI
加拿大	ICES-003

等級分類

- Class A：工業 / 商業環境
- Class B：家用 / 居住環境（更嚴格）

主要量測

- 30 MHz – 1 GHz（一般）
 - 1 GHz – 6 GHz（高速電子）
 - 9 kHz – 30 MHz（傳導）
-

三、EMI 來源

主要源頭

1. 時鐘訊號：方波諧波豐富
2. 開關電源： di/dt 、 dv/dt 大
3. 高速數位訊號
4. 馬達 / 繼電器：電弧
5. 電源線：將雜訊耦合到外部

諧波分析

方波的傅立葉展開：

$$f(t) = \frac{4A}{\pi} \sum_{n=1,3,5,\dots} \frac{\sin(n\omega t)}{n}$$

→ 含奇次諧波，振幅 $1/n$ 衰減。

Spectrum

100 MHz 時鐘 $\rightarrow$ 100, 300, 500, 700... MHz 都有諧波。

四、EMI 三要素

EMI 需要三個要素同時存在：

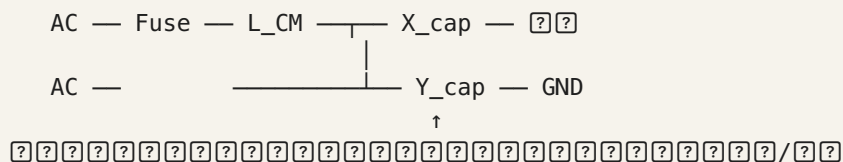
1. Source (源) : 產生雜訊
2. Coupling Path (耦合路徑) : 傳遞雜訊
3. Victim (受害者) : 被干擾的設備

抑制 EMI 從這三方面下手。

五、傳導 EMI 抑制

1. EMI 濾波器

電源輸入端標準配置：



- L_{CM}：共模扼流圈
- X 電容：差模（線間）
- Y 電容：共模（線到地）

2. 共模扼流圈

對共模呈現高阻抗，差模低阻抗。規格：阻抗 vs 頻率曲線。

3. ferrite bead

高頻吸收，常見於 IO 線。

4. PI 濾波

L 兩側各一電容，更陡斜率。

六、輻射 EMI 抑制

1. 控制電流路徑面積

Loop Antenna 是輻射主因：

$$\text{輻射} \propto I \times f^2 \times A$$

A 是迴路面積。

→ 訊號回流路徑必須緊靠訊號，最小化迴路面積。

2. 連續地平面

不要切割，不要在訊號下方有縫隙。

3. 屏蔽 (Shielding)

- 全金屬殼
- 法拉第籠
- 接地完整（必要！）

4. 限制 di/dt 與 dv/dt

開關電源：- 加 Snubber - 軟切換 (ZVS、ZCS) - 慢化驅動（增加 Gate 電阻）

時鐘：- Spread Spectrum 展頻 - 終端匹配減少 Ringing - 不需要的時鐘層別啟用

七、ESD 保護

ESD 標準

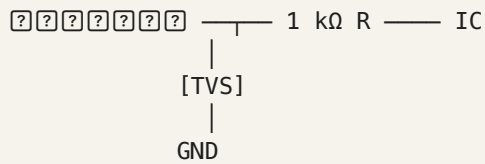
- IEC 61000-4-2 : ±8 kV 接觸、±15 kV 空氣
- HBM (Human Body Model) : ±2 kV

- CDM (Charged Device Model)： $\pm 500\text{V}$

保護元件

- TVS 二極體 (首選)
- 變阻器 (MOV)
- 氣體放電管 (GDT)：高電壓
- ESD array：多通道

防護電路



R 限制能量，TVS 箝位電壓。

PCB 上的 ESD

- 表面距離 (creepage)
- 導體間隙 (clearance)
- 元件擺放遠離 IO

八、ESD / EFT / Surge

ESD (靜電放電)

人或物體上累積的靜電瞬間放電。

EFT (Electrical Fast Transient)

繼電器、開關產生的快速脈衝串。標準： $\pm 1\text{--}4\text{ kV}$ ， $5/50\text{ ns}$ 。

Surge (突波)

雷擊、電網切換的長能量脈衝。標準： $\pm 0.5\text{--}6\text{ kV}$ ， $1.2/50\text{ }\mu\text{s}$ 。

對應元件：- ESD：TVS - EFT：TVS、ferrite bead - Surge：MOV、GDT、大功率 TVS

九、PCB Layout 防 EMI

1. 層堆疊

- 每個訊號層都靠著一個地層
- 高速訊號走中間層（屏蔽）
- 電源層與地層相鄰（電容）

2. 走線

- 高速訊號短直
- 換層必有 GND via 提供回流
- 不跨越 plane 切割
- 差分緊耦合

3. 元件擺放

- 高速 IC 集中
- 連接器邊緣（防止外部干擾）
- TVS 緊靠連接器

4. 接地

- 多 via 接地
- 不分散接地
- 機殼地一點接 PCB 地（或用 capacitor）

十、EMI 量測與除錯

預掃描 (Pre-compliance)

- 近場探棒：找 hotspot
- LISN + 頻譜儀：傳導
- 簡單接收天線 + 頻譜儀：輻射

認證測試

- 認證實驗室（如 SGS、TÜV、UL）
- 開放場地或全電波暗室

除錯技巧

1. 頻率識別：找超標頻率對應到哪個時鐘 / 電源
 2. 改善方案：- 加 ferrite bead - 改用 spread spectrum 時鐘 - 增加去耦 - 屏蔽 - 修改 PCB layout (最終手段)
-

十一、本章總結

✅ 您應該掌握：

- [x] EMC 法規與認證流程
 - [x] 傳導 vs 輻射 EMI
 - [x] EMI 三要素（源、路徑、受害者）
 - [x] EMI 濾波器設計
 - [x] 共模扼流圈、ferrite bead
 - [x] ESD/EFT/Surge 保護
 - [x] PCB Layout 防 EMI 原則
 - [x] 量測與除錯流程
-

下一章

06-PCB[?][?].md 一 PCB 設計總整理。