

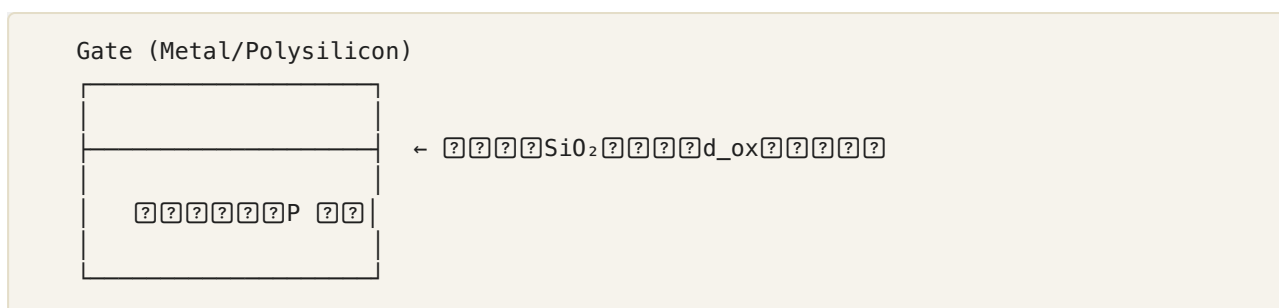
第 2 章 5：MOSFET 原理深入

MOSFET 是現代 IC 的主角，從手機 SoC 到數據中心的 CPU，都靠 MOSFET。

一、MOS 結構：從電容到電晶體

MOS 電容 (Capacitor)

MOSFET 的核心是「MOS 電容」結構：



氧化層厚度

現代 CMOS 製程：- 28 nm 製程： $t_{ox} \approx 1-2 \text{ nm}$ - 7 nm 製程： $t_{ox} \approx < 1 \text{ nm}$ (用 high-k 介電質取代純 SiO₂)

1 nm = 約 4 個矽原子層！這已是物理極限。

MOS 電容的三種狀態 (P 型基板)

1. 累積 (Accumulation)

$V_G < V_{FB}$ (平帶電壓)：閘極吸引電洞到表面。

2. 空乏 (Depletion)

$V_{FB} < V_G < V_{TH}$ ：表面空乏。

3. 反轉 (Inversion)

$V_G > V_{TH}$ ：表面形成電子通道 (Inversion Layer)。

→ MOSFET 利用「反轉」工作。

二、閾值電壓 (V_{TH}) 的物理

公式

對 NMOS :

$$V_{TH} = V_{FB} + 2\phi_F + \frac{\sqrt{2q\epsilon_{si}N_A(2\phi_F)}}{C_{ox}}$$

- V_{FB} : 平帶電壓 (與功函數差、氧化層電荷有關)
- ϕ_F : 費米電位 = $V_T \times \ln(N_A/n_i)$
- C_{ox} : 氧化層每單位面積電容 = ϵ_{ox} / t_{ox}

影響 V_{TH} 的因素

1. 基板摻雜濃度 N_A : N_A 大 $\rightarrow V_{TH}$ 大
2. 氧化層厚度 t_{ox} : 厚 $\rightarrow V_{TH}$ 大
3. 氧化層固定電荷 : 影響 V_{FB}
4. 功函數差 : 取決於 Gate 材料
5. 基板電壓 V_{BS} (背閘極效應)

Body Effect (背閘極效應)

V_{BS} 不為零時 :

$$V_{TH} = V_{TH0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F})$$

γ : body factor

$\rightarrow$ 在 IC 設計中，並聯堆疊的 MOSFET 上層 Source 不接 GND， V_{TH} 會升高。

三、I-V 方程式 (深入)

三極區 (Linear / Triode)

完整公式 :

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2]$$

當 $V_{DS} \ll V_{GS} - V_{TH}$:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})V_{DS}$$

→ 像可變電阻：

$$R_{DS} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}$$

飽和區 (Saturation / Pinch-off)

當 $V_{DS} = V_{GS} - V_{TH}$ 時，通道在 Drain 端「夾斷」(pinch-off)， I_D 進入飽和。

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

λ ：通道長度調變參數（類比 BJT 的 $1/V_A$ ）

注意：「飽和」意義與 BJT 完全相反！MOSFET 飽和 = 通道長度調變主導 = 線性放大區。

飽和條件

$$V_{DS} \geq V_{GS} - V_{TH} = V_{ov}$$

V_{ov} 稱為「過驅動電壓」(overdrive voltage)。

四、跨導 g_m

定義

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

飽和區 g_m

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) = \mu_n C_{ox} \frac{W}{L} V_{ov}$$

或：

$$g_m = \sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D}$$

與 BJT 對比

- BJT $g_m = I_C / V_T$ (指數， I 大時 g_m 大)
- MOSFET $g_m = \sqrt{2 \mu C W/L I_D}$ (平方根)

→ 同電流下，MOSFET g_m 較小，因此電壓增益較小。→ 但 MOSFET 高輸入阻抗、容易並聯，整體仍有優勢。

五、亞閾值區 (Subthreshold)

$V_{GS} < V_{TH}$ 時 I_D 不是 0，而是「指數」變化：

$$I_D = I_0 e^{(V_{GS} - V_{TH})/(nV_T)}$$

n ：理想因子 (1.1–1.5)

亞閾值斜率 (Subthreshold Slope, SS)

每 10 倍 I_D 變化所需的 V_{GS} ：

$$SS = n \cdot V_T \cdot \ln(10) \approx 60 \text{ mV/decade} @ 300 \text{ K}$$

「60 mV/decade」是 BJT 與 MOSFET 在室溫下的物理極限。

重要性

- 數位電路：理想是「全開或全關」，SS 越小越接近理想開關
- 低功耗 IC：在亞閾值區工作 ($V_{GS} < V_{TH}$) → 超低功耗
- 漏電：高溫時亞閾值漏電急增 (IC 待機功耗主因)

六、短通道效應 (Short Channel Effects)

當通道長度 L 縮小到奈米級，出現一系列「短通道效應」：

1. V_{TH} 滾降 (V_{TH} Roll-off)

L 縮小 → V_{TH} 降低 (更難關閉)

2. DIBL (Drain-Induced Barrier Lowering)

V_{DS} 增大 → V_{TH} 降低 → 漏電增加

3. 速度飽和 (Velocity Saturation)

電場太強時，載子速度飽和 (不再隨電場線性增加)， I_D 變為線性而非平方：

$$I_D \propto (V_{GS} - V_{TH})$$

4. 通道長度調變 (CLM)

實際通道長度隨 V_{DS} 變化，造成 $\lambda \neq 0$ 。

5. 熱載子注入 (HCI)

高電場下載子能量大，可能注入到氧化層，造成元件老化 (V_{TH} 漂移)。

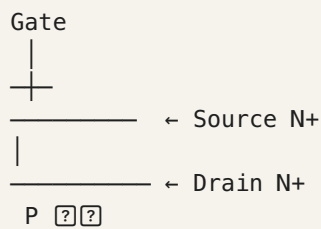
6. 閘極漏電 (Gate Tunneling)

t_{ox} 太薄時，量子穿隧效應使閘極漏電顯著。

這就是為什麼現代製程引入「high-k 介電質」 (HfO_2)：可以等效更薄的 SiO_2 但實際更厚，減少穿隧。

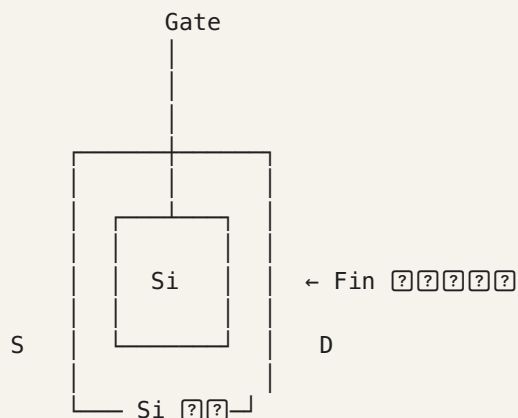
七、現代 CMOS 製程演進

平面 CMOS (Planar)



FinFET (鰭式場效電晶體)

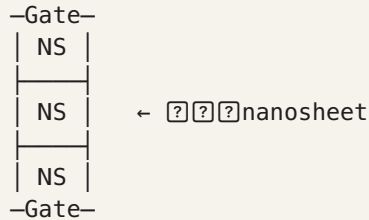
從 22 nm 開始用：



優點： - 閘極三面控制 → 短通道效應改善 - 漏電低 - V_{TH} 控制好

GAA-FET (Gate-All-Around)

3 nm 製程引入，閘極全包圍通道（垂直堆疊 nanosheets）：



CFET (Complementary FET)

未來方向：NMOS 與 PMOS 垂直堆疊，密度倍增。

八、CMOS 製程的兩種電晶體

NMOS

- N 通道（少數載子在 P 基板中形成 N 通道）
- 載子：電子 ($\mu_n \approx 1350$)
- 速度快

PMOS

- P 通道（少數載子在 N 基板中形成 P 通道）
- 載子：電洞 ($\mu_p \approx 480$)
- 較慢

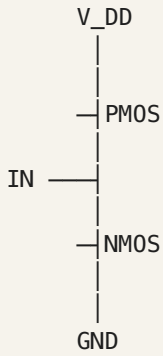
CMOS = NMOS + PMOS

在同一晶圓上同時製作兩者，需要： - N-well (PMOS 用) - P-well (NMOS 用) 或 P-substrate

電源排列： - PMOS Source 接 V_{DD} - NMOS Source 接 GND - 兩者 Drain 連起來作輸出

九、CMOS 反相器 (Inverter)

最基本的數位電路：



工作：- IN = 0 → PMOS 開、NMOS 關 → OUT = V_{DD} - IN = V_{DD} → PMOS 關、NMOS 開 → OUT = 0

為什麼 CMOS 省電？

靜態時：兩個電晶體之一為 OFF → 無電流 → 無功耗 切換瞬間：兩者短暫導通 → 動態功耗

動態功耗

$$P = C_{load} V_{DD}^2 f$$

→ 降 V_{DD} 大幅降功耗 (V² 關係)。 → 這就是為什麼 V_{DD} 從 5V → 3.3V → 1.8V → 1.0V → 0.6V 不斷下降。

十、MOSFET 的雜訊

1. 熱雜訊 (Channel Thermal Noise)

通道電阻產生：

$$\overline{i_n^2} = 4kT\gamma g_m \Delta f$$

γ ：飽和區約 2/3

2. 閃爍雜訊 (1/f Noise)

低頻時主導：

$$\overline{v_n^2} = \frac{K_F}{C_{ox}WL} \cdot \frac{1}{f}$$

K_F：製程相關係數

降低雜訊

- $W \cdot L$ 大 $\rightarrow$ $1/f$ 雜訊小 (為何感測器前端用大尺寸 MOSFET)
- 用 PMOS (K_F 比 NMOS 小)
- 操作在強反轉區
- 使用 Chopper 等斬波技術消除 $1/f$

十一、寄生元件

1. Body Diode (體二極體)

Source/Drain 與基板形成 PN 接面： - NMOS：基板 (P) $\rightarrow$ S/D (N+)，逆向接時箝位 - PMOS：S/D (P+) $\rightarrow$ N-well

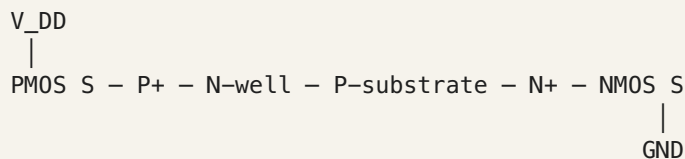
這就是為什麼 MOSFET 反向接時是「導通」(透過體二極體)。同步整流、橋式電路利用此特性。

2. 寄生 BJT

源極-基板-汲極可形成寄生 BJT，正常情況不工作。但若 ESD 或門鎖 (Latch-up) 情況可能觸發。

3. CMOS 中的門鎖 (Latch-up)

PMOS 與 NMOS 的寄生 PNP + NPN 形成 SCR：

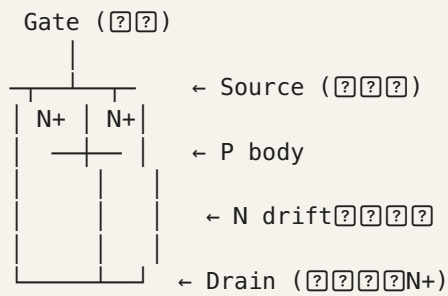


這是一個寄生「PNPN」結構。當電壓 spike 觸發後可能持續導通，燒毀 IC。

防護： - Guard Ring (保護環) - 適當的 well/substrate 接觸 - 限制 spike 速度與幅度

十二、功率 MOSFET 結構

一般 IC 中的 MOSFET 是「橫向」(Lateral)。功率 MOSFET 多為「垂直」(VDMOS, Vertical Diffused MOS)：

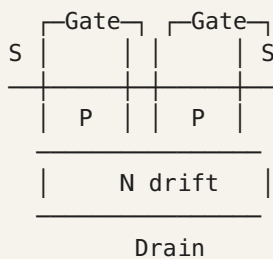


為什麼垂直？

- 大電流可垂直接流動（散熱、電流密度都好）
- 漂移區決定耐壓
- 適合 TO-220、TO-247 封裝（背面是 Drain）

經典 VDMOS / Trench MOSFET

Trench MOSFET 將 Gate 做成「溝槽」，更密集：



$R_{DS(on)}$ 更低、密度更高。

十三、MOSFET 的 SOA

「安全工作區」（Safe Operating Area）：在 V_{DS} - I_D 平面上不會損壞的範圍。



並非所有 $V \cdot I$ 組合都安全，要看脈衝時間。

十四、本章總結

✓ 您應該深入理解：

- [x] MOS 電容三狀態：累積、空乏、反轉
- [x] V_{TH} 的物理意義與影響因素
- [x] Body effect
- [x] 三極區與飽和區的 I-V 公式
- [x] 跨導 g_m ($\sqrt{I_D}$ 關係)
- [x] 亞閾值斜率 (60 mV/dec 物理極限)
- [x] 短通道效應與現代製程演進 (FinFET, GAA)
- [x] CMOS 反相器與動態功耗 CV^2f
- [x] MOSFET 雜訊與門鎖

自我檢測

1. 為什麼現代製程要從 Planar 換到 FinFET？
2. MOSFET 的「飽和區」是線性放大區還是開關 ON 區？
3. 60 mV/decade 的物理極限從何而來？
4. CMOS 為什麼省電？動態功耗公式？
5. 為什麼功率 MOSFET 是垂直結構？

解答

1. 短通道效應使 V_{TH} 控制變差、漏電增加。FinFET 三面閘極控制改善這些問題

2. 線性放大區 (dI_D/dV_{DS} 小) 。MOSFET 用語與 BJT 相反，注意分辨
 3. 來自 V_T · $\ln(10) = kT/q \times \ln(10) = 60 \text{ mV @ } 300\text{K}$ ，是熱統計分佈的物理極限
 4. CMOS 靜態時兩個電晶體之一為 OFF，無電流。動態功耗 $P = CV^2f$
 5. 垂直結構讓大電流容易流動、Drain 在背面方便散熱、漂移區決定耐壓
-

下一章

06-IGBT[?][?][?][?].md 一 功率半導體深入。