

第 2 章 9：半導體製程概論

從一塊沙子到智慧型手機的處理器，半導體製程是現代工業最複雜的奇蹟。本章帶您看完整流程。
深入細節在 [06-IC/01-IC.md](#)。

一、半導體製造的全景

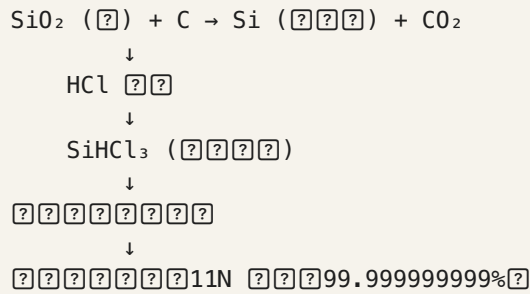
```
矽(Si) → 高純度矽(99.9999999%) → 矽棒(Czochralski) → 矽片(wafer) 200/300/450 mm → 晶圓製造 → [Foundry] → 晶圓測試... → 晶圓測試 (CP, Chip Probing) → 晶圓測試 die → 晶圓測試 Package/OSAT → 晶圓測試 Final Test → 晶圓測試 IC
```

整個流程涉及 600+ 道工序，耗時 2-3 個月。

二、晶圓製造 (Wafer Fabrication)

原料：高純度矽

從矽砂提煉到「電子級多晶矽」(EGS)：



11N 純度：1 億億顆矽原子中只允許 1 個雜質。

拉晶 (Czochralski 法)

熔融多晶矽 (1414° C) + 籽晶 → 緩慢拉出 + 旋轉 → 單晶矽棒

控制：- 拉伸速度 - 旋轉速度 - 溫度梯度

成果：直徑 200/300 mm，長 1-2 m 的單晶矽棒。

切片與拋光

- 鋼絲線切割成薄片 (< 1 mm)
- 化學機械拋光 (CMP) 達到鏡面
- 雷射標記識別

三、CMOS 製程基本步驟

每一道製程都圍繞著以下幾個基本工序，重複數百次：

1. 氧化 (Oxidation)

矽表面熱氧化形成 SiO₂：



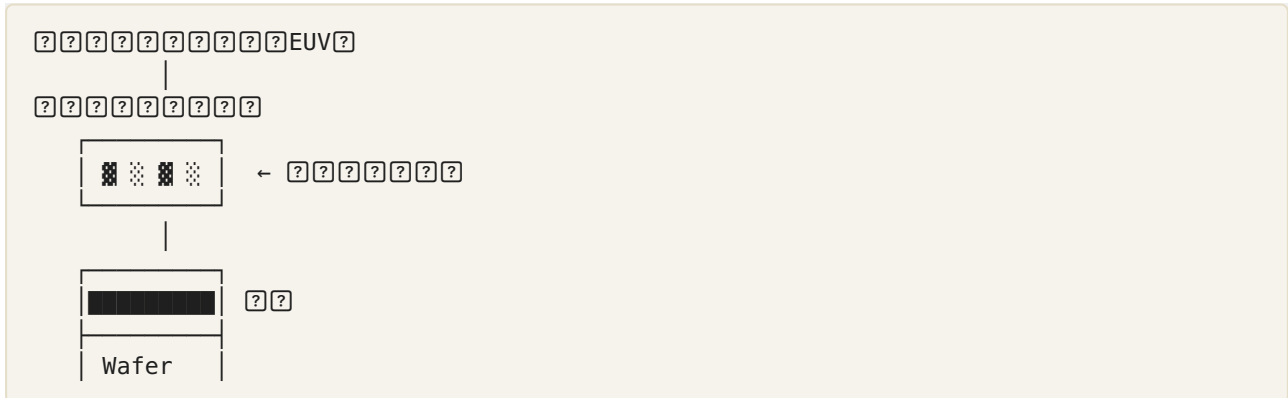
- 乾氧 (dry)：高品質薄氧化層 (閘極氧化)
- 濕氧 (wet)：較快，較厚 (場氧化)

2. 光阻塗佈 (Coating)

在晶圓表面旋塗光阻劑 (Photoresist)。

3. 曝光 (Exposure / Lithography)

光罩 (Photomask) 阻擋光線，在光阻上形成圖案：



微影技術演進

製程世代	光源波長	解析度極限
0.5 μm	g-line 436 nm	$\sim 0.5 \mu\text{m}$
0.25 μm	i-line 365 nm	$\sim 0.25 \mu\text{m}$
0.13 μm	KrF 248 nm	$\sim 0.13 \mu\text{m}$
65 nm	ArF 193 nm	$\sim 90 \text{ nm}$
28 nm	ArF Immersion	$\sim 28 \text{ nm}$
7 nm	EUV 13.5 nm	$\sim 7 \text{ nm}$
3 nm 以下	EUV + Multi-Patterning	$< 3 \text{ nm}$

EUV (極紫外光) 13.5 nm 是現代尖端製程的關鍵。

4. 顯影 (Develop)

化學溶液溶掉曝光 (或未曝光) 的光阻，留下圖案。

5. 蝕刻 (Etch)

去除沒被光阻保護的薄膜：- 濕蝕刻：化學液 (早期) - 乾蝕刻 / 電漿蝕刻：現代主流，異向性好

6. 離子佈植 (Ion Implantation)

高能離子打入矽中形成摻雜：- 控制能量 $\rightarrow$ 控制深度 - 控制劑量 $\rightarrow$ 控制濃度 - 取代擴散，精度高

7. 退火 (Annealing)

高溫處理修復晶格損傷、活化雜質。

8. 化學機械拋光 (CMP)

機械 + 化學雙重作用，磨平晶圓表面。現代多層金屬製程必備。

9. 薄膜沉積

A. CVD (Chemical Vapor Deposition)

氣態化學反應沉積： - LPCVD：低壓 - PECVD：電漿輔助（低溫） - ALD：原子層沉積（極薄、極準）

B. PVD (Physical Vapor Deposition)

物理氣相沉積： - Sputtering（濺鍍）：金屬層 - 蒸鍍：較少用

C. 電鍍 (Electroplating)

主要用於銅互連線。

10. 測試 (CP, Chip Probing)

完成所有層後，晶圓上每顆晶粒用探針測試： - DC 測試（漏電、邏輯） - 功能測試 - 標記不良品

四、CMOS 製程流程（簡化版）

一個典型 28 nm CMOS 製程約 60 道光罩，500+ 步驟。簡化版：

1. Well 形成

- N-well (PMOS 用)
- P-well (NMOS 用)

2. STI (淺溝槽隔離)

電晶體之間的絕緣。

3. 閘極氧化

形成 $t_{ox} \sim 1-2 \text{ nm}$ 的薄氧化層（現代用 high-k）。

4. 閘極多晶矽 / 金屬閘極

- 早期：摻雜多晶矽
- 現代（28 nm 以下）：金屬閘極（HKMG）

5. LDD（輕摻雜源汲）

減少熱載子效應。

6. Spacer 形成

閘極側壁絕緣。

7. 重摻雜源汲（S/D N⁺ / P⁺）

8. Salicide（金屬矽化物）

源汲與閘極金屬化。

9. 第一層介電質（PMD）

10. Contact 開孔

連接到電晶體。

11. 金屬層（Metal）

銅大馬士革製程： - 銅 + 介電質（low-k） - 多層（M1, M2, ... M10+） - 越上層越粗（電源、時鐘）

12. 鈍化（Passivation）

最後保護層 + Pad 開孔。

五、現代尖端製程的革命

High-k Metal Gate（HKMG）

當 SiO₂ 太薄（< 2 nm）漏電太大時，改用： - High-k 介電質（HfO₂）：等效更薄但實際較厚 - 金屬閘極（避免多晶矽的耗盡效應）

Strained Silicon

通道下加入 SiGe 或 SiC：- 拉伸 / 壓縮應力提升載子遷移率 - NMOS：拉伸；PMOS：壓縮

FinFET (22 nm 開始)

3D 鰭式結構：- 三面閘極控制 - 抑制短通道效應 - 低漏電

GAA-FET (3 nm 開始)

閘極全包圍：- 多層 nanosheet - 更好控制 - 提升驅動電流

EUV 微影

- 光源：13.5 nm
- 解決多重曝光的複雜度
- ASML 是唯一供應商

先進封裝 (Advanced Packaging)

把多個小晶片組合：- 2.5D：CoWoS（台積電）：HBM + GPU - 3D：垂直堆疊（HBM 記憶體） - Chiplet：AMD Ryzen、Intel Foveros

六、製程節點命名

「N nm」名稱的演變：

早期 (90 nm 之前)

對應 MOSFET 通道長度。

中期 (90 nm – 22 nm)

成為「行銷名稱」，與實際幾何尺寸的關係模糊。

FinFET 時代 (< 22 nm)

完全是行銷名稱，「14 nm」實際 fin 寬度可能 7–8 nm。

各家比較（同代不同名）

台積電	Intel	三星
16 nm	14 nm	14 nm
7 nm	10 nm	7 nm
5 nm	7 nm	5 nm
3 nm	4 nm (Intel 3)	3 nm
2 nm	20A / 18A	2 nm

「Intel 18A」對應 1.8 nm 等效。已進入「埃米時代」（Angstrom Era）。

七、晶圓代工業（Foundry）

廠商與特長

廠商	製程	特色
TSMC 台積電	至 2 nm	全球第一，先進製程主流
Samsung Foundry	至 2 nm	第二大
Intel Foundry	18A	美國重啟代工
GlobalFoundries	12 nm	成熟製程
SMIC 中芯國際	7 nm	大陸領先
UMC 聯電	14 nm	成熟製程強
TowerJazz	特殊製程	類比、感測器

製程選擇

設計 IC 時依需求選製程：- SoC 主流：5–7 nm（手機、AI）- 車用 MCU：28–40 nm - 電源 IC：65–180 nm BCD - MEMS / 感測器：類比特殊製程 - RF / 毫米波：SiGe BiCMOS、GaN

IDM vs Fabless

- IDM（Integrated Device Manufacturer）：自家設計+製造（Intel, Samsung）

- Fabless：只設計，找 foundry 製造 (NVIDIA, AMD, Apple, Qualcomm)
 - Foundry：純代工 (TSMC)
 - OSAT：封裝測試 (ASE 日月光、Amkor)
-

八、IC 設計流程 (Design Flow)

製程之外，IC 怎麼從想法變成 GDSII (送 foundry 的檔)？

1. 規格定義

2. 架構設計

高層次 (Architecture) → 微架構 (Micro-architecture)

3. RTL 撰寫

Verilog / VHDL / SystemVerilog 描述邏輯

4. 功能驗證

- 模擬 (Simulation)
- 形式化驗證 (Formal Verification)
- UVM 測試平台

5. 邏輯合成 (Synthesis)

RTL → Gate-level netlist 工具：Synopsys Design Compiler, Cadence Genus

6. 靜態時序分析 (STA)

PrimeTime、Tempus

7. 佈局佈線 (Place & Route)

工具：Innovus、ICC2

8. 時序簽核 / 物理驗證

- DRC (Design Rule Check)
- LVS (Layout vs Schematic)
- ERC (Electrical Rule Check)

- 漏電、IR drop、EM 分析

9. 流片 (Tapeout)

GDSII 送 foundry。

10. 試樣回來測試與量產

流片成本：先進製程 NRE 約 1000–5000 萬美元（光罩費）！

九、未來趨勢

物理極限

矽製程接近物理極限：- 通道長度 $< 1\text{ nm}$ 不可能 - 量子效應（穿隧）顯著

新技術探索

1. 2D 材料： MoS_2 、石墨烯
2. 碳奈米管 FET：CNT
3. 磁性記憶體（MRAM、STT-RAM）
4. 電阻式記憶體（RRAM、PCM）
5. 量子計算：超導、離子阱、矽量子點
6. 神經形態計算：類腦晶片

整合趨勢

- Chiplet 與 UCIe 標準
- 3D 堆疊普及
- 異質整合（Photonics + 電子）
- AI 專用晶片

十、本章總結

✅ 您應該理解：

- [x] 從矽砂到晶圓的完整流程
- [x] CMOS 製程的基本步驟（光罩、曝光、蝕刻、佈植）

- [x] 微影技術演進 (i-line → ArF → EUV)
- [x] 現代尖端：HKMG、FinFET、GAA、EUV
- [x] 製程節點命名變遷
- [x] Foundry 業界生態 (TSMC、Samsung、Intel)
- [x] IDM vs Fabless 分工
- [x] IC 設計流程 (RTL → GDSII)
- [x] 未來技術方向

自我檢測

1. 為什麼半導體用矽而不用其他元素？
2. 14 nm 是指什麼長度？
3. 為什麼要用 EUV 微影？
4. FinFET 解決了什麼問題？
5. Fabless 與 Foundry 的角色差別？

解答

1. 含量豐富、能隙適中、能形成 SiO_2 絕緣層、製程成熟、熱穩定
2. 在 FinFET 時代是行銷名稱，與實際 fin 寬度（約 7–8 nm）不直接對應
3. 解決傳統 ArF 多重曝光的成本與良率問題，13.5 nm 解析度可直接做小尺寸圖案
4. 解決短通道效應（ V_{TH} 滾降、漏電激增），三面閘極控制更好
5. Fabless 只做設計（NVIDIA、AMD），Foundry 純代工製造（TSMC、Samsung）

半導體篇結束

恭喜！您完成了半導體篇。半導體物理與製程是電子工程的基石，理解這些後再回頭看元件 datasheet，會發現一切變得清晰。

接下來進入：

- `../03-   /01-     .md` — 真正開始設計電路
- 或 `../06-   /01-IC     .md` — 製程更深入