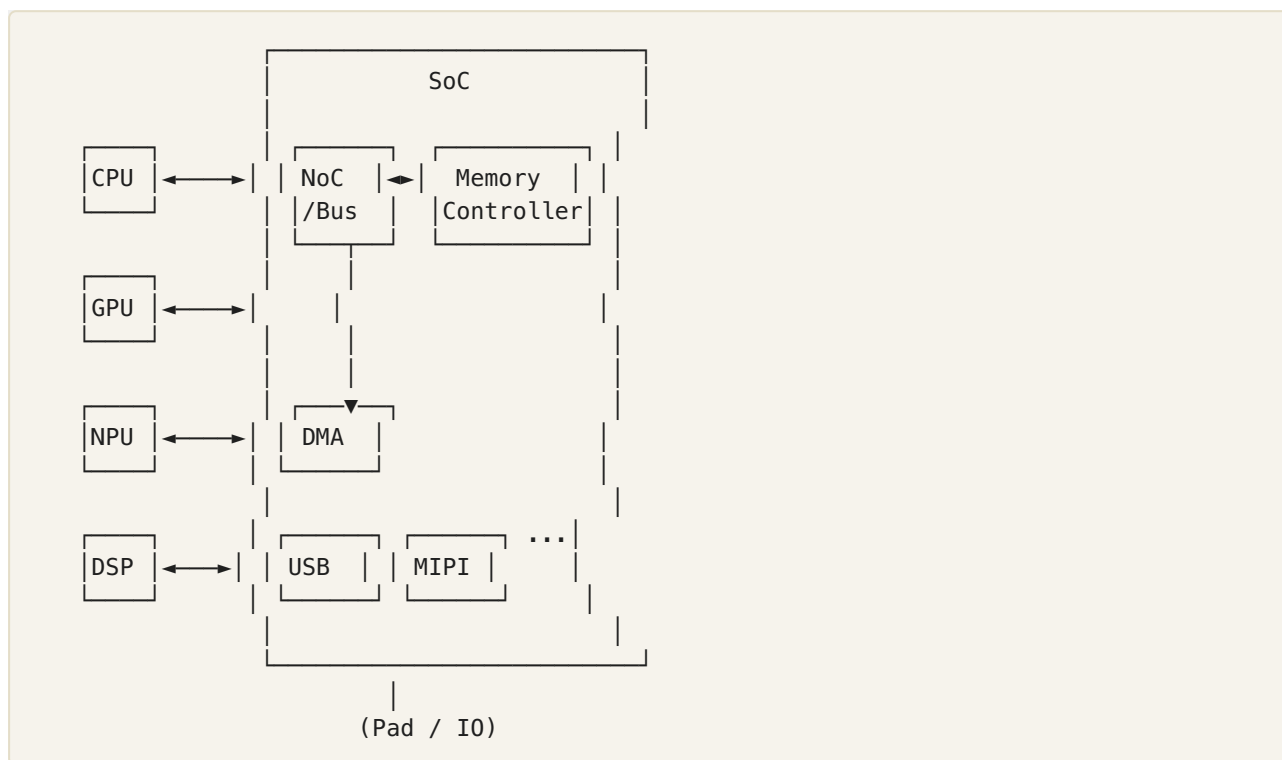


第 4 章 9：SoC 設計

SoC (System on Chip) 把整個系統整合到單一晶片，是現代消費電子的主流。

一、SoC 架構



二、SoC 主要模組

1. CPU

- ARM Cortex-A55/A78/A720 (行動 / 應用處理器)
- ARM Cortex-R52 (即時、安全關鍵)
- ARM Cortex-M (控制器、IoT)
- RISC-V SiFive、阿里平頭哥
- 自研：Apple M2/A17、AMD Zen、Intel Core

2. GPU

- ARM Mali / Immortalis

- Qualcomm Adreno
- Apple GPU
- Imagination PowerVR

3. NPU / AI Engine

- Apple Neural Engine
- Google Edge TPU
- Qualcomm Hexagon
- Tesla NPU

4. ISP (Image Signal Processor)

影像感測器訊號處理。

5. VPU (Video Processor)

編解碼：H.264/265、AV1、VP9。

6. DSP

音訊、語音、訊號處理。

7. 記憶體控制器

LPDDR4/5、HBM 等。

8. 互連匯流排 (NoC, Network on Chip)

- AXI、AHB、APB (ARM AMBA)
- 環形 / Mesh 拓撲
- QoS、虛擬通道

9. 周邊

USB、PCIe、Ethernet、MIPI、SPI、I²C、UART...

10. Power Management Unit (PMU)

控制各域電源、頻率。

11. 安全模組

- TEE (TrustZone)
 - HSM (Hardware Security Module)
 - Secure Element
-

三、設計流程

1. 規格與架構設計

- 性能目標
- 功耗目標
- 面積目標
- 介面定義
- 軟體架構

2. IP 規劃

自研 vs 採購： - ARM IP (CPU、GPU) - Synopsys、Cadence IP (介面、PHY) - Design Service Provider (GUC 創意、世芯、SmartDV)

3. RTL 設計

各模組用 Verilog / SystemVerilog 撰寫。

4. 驗證

- UVM testbench
- Formal Verification
- 模擬器 (VCS、Xcelium、Questa)
- Emulation (Palladium、ZeBu、Veloce)
- FPGA 原型 (HAPS、S2C、Pro Design)

5. 邏輯合成

RTL → 邏輯閘 netlist。工具：Design Compiler (Synopsys)、Genus (Cadence)。

6. DFT (Design for Test)

加入掃描鏈、BIST、JTAG TAP。

7. 物理實作 (Backend)

- Floorplan : 劃分區域
- 電源規劃 (Power Grid)
- Place (擺放邏輯閘)
- CTS (Clock Tree Synthesis)
- Route (佈線)
- 工具 : ICC2、Innovus、Genus

8. 簽核 (Sign-off)

- STA : 時序分析
- IR Drop / EM 分析
- DRC、LVS、ERC、Antenna
- 工具 : PrimeTime、Tempus、StarRC、Calibre

9. 流片 (Tapeout)

GDSII → Foundry。

10. 測試與量產

CP (Chip Probe) → 封裝 → FT (Final Test) → Burn-in → 出貨。

四、IP 重用與標準

AMBA (ARM)

- AXI4、AXI5 : 高速、突發
- AHB : 較簡單
- APB : 低速週邊

TileLink

RISC-V 系統常用，類似 AXI。

Wishbone

開源，OpenCores 用。

CHI

ARM 高效一致性互連。

UCIe (Universal Chiplet Interconnect Express)

晶粒間高速互連，現代 chiplet 必用。

五、低功耗設計

多電壓域 (MV)

不同模組用不同電壓。

Power Gating

關閉未用模組：

V_DD — [Sleep MOS] —   — GND

Clock Gating

暫時關時鐘。

DVFS

動態調整電壓 / 頻率。

工具

- UPF (Unified Power Format)
- 工具支援多電壓 / 電源域

六、Chiplet 與 3D-IC

為什麼 Chiplet ?

- 大晶片良率低 → 拆成小 chiplet 提升
- 不同製程組合 (CPU 5 nm + IO 12 nm)
- 設計重用

連接技術

- 2D : 傳統封裝 (substrate)
- 2.5D : silicon interposer (CoWoS、EMIB)
- 3D : 垂直堆疊 + TSV

範例

- AMD Ryzen / EPYC : CCD + IOD chiplet
- Intel Meteor Lake : Compute / SoC / GPU tile
- Apple Vision Pro : M2 + R1 整合

七、現代 SoC 範例分析

Apple A17 Pro (iPhone 15 Pro)

- 製程 : 3 nm (TSMC N3)
- CPU : 6 核 (2 大 4 小) ARM
- GPU : 6 核 Apple
- NPU : 16 核 Neural Engine (35 TOPS)
- RAM : 8 GB LPDDR5
- ISP、VPU、Secure Enclave
- 19 億電晶體

NVIDIA H100

- 製程 : 4 nm
- 800 億電晶體
- HBM3 80 GB
- NVLink 互連
- AI 訓練 / 推理王者

Tesla FSD HW4

- 自研 SoC
 - 雙 NPU 冗餘
 - 14 nm 製程
-

八、本章總結

✔ 您應該理解：

- [x] SoC 架構與模組
 - [x] CPU、GPU、NPU、DSP 整合
 - [x] 設計流程 (RTL → GDSII)
 - [x] IP 採購與授權
 - [x] AMBA、UClle 等互連標準
 - [x] 低功耗多域設計
 - [x] Chiplet 與 3D-IC 趨勢
-

下一章

10-??????.md — 類比與數位共存。