

# 第 4 章 10：混合訊號設計

---

當數位與類比訊號在同一電路（或同一 IC）共存時，挑戰倍增。

---

## 一、混合訊號的挑戰

---

### 數位污染類比

- 大  $di/dt$  從電源耦合到類比電路
- 數位 logic level 切換造成 ground bounce
- 時鐘輻射干擾敏感類比節點

### 類比污染數位

通常較少，但類比訊號超出範圍可能擾亂判斷邏輯。

---

## 二、PCB 層級隔離

---

### 1. 地分割

歷史上常見：類比地（AGND）與數位地（DGND）分開，單點連接。

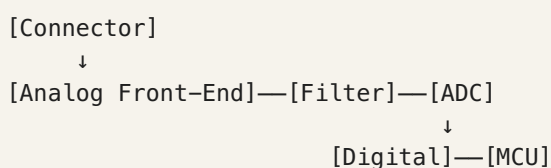
但現代觀點不再推薦完全分割，因為可能破壞返回路徑。

更佳做法：- 統一地平面 - 物理上類比與數位分區擺放 - 高速數位元件不放在類比走線旁

### 2. 電源分割

- 類比電源用獨立 LDO
- 數位電源用 Buck（高效率）
- 兩者不共用 LDO/Buck

### 3. 元件擺放



訊號流方向擺放，避免反向干擾。

## 4. ADC 介面

- ADC 的 AGND 與 DGND pin 都接「類比地」（依 datasheet 建議）
- 數位輸出（SDO、SCLK）走線遠離類比輸入
- Vref 充分去耦

---

## 三、IC 層級的混合訊號

### Mixed-Signal IC 範例

- ADC、DAC
- Codec
- PLL
- 音響 / 攝影 SoC

### Layout 隔離

- Guard ring（保護環）：圍繞敏感類比電路
- Deep N-well：隔離噪聲耦合
- Substrate noise：避免共用基板雜訊

### 製程選擇

- BCD（Bipolar-CMOS-DMOS）：電源管理
- HV-CMOS：高壓類比
- SOI（Silicon On Insulator）：隔離好

---

## 四、敏感電路設計

### 1. 取樣保持（Sample & Hold）

ADC 前的關鍵：- 開關 + 電容 - 介電吸收（DA）影響精度 - 用 COG 電容

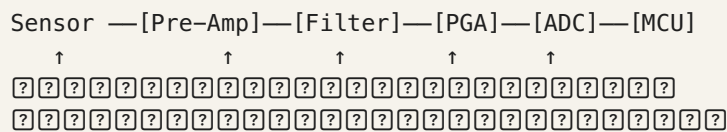
## 2. 基準電壓

精密 ADC/DAC 的瓶頸：- 內部基準（容易，但精度有限）- 外部基準（如 ADR4540：4.096V，2 ppm/°C）- 噪聲、漂移、長期穩定度

## 3. 抗混疊濾波器

每顆 ADC 前都需要。

## 4. 訊號鏈設計



每一級都要分析 SNR。

# 五、量化噪聲與抖動

## 量化噪聲

理想 ADC 的雜訊上限。

## 取樣抖動 (Aperture Jitter)

時鐘抖動造成有效解析度下降：

$$\text{SNR}_{\text{jitter}} = -20 \log(2\pi f_{\text{in}} \sigma_t)$$

範例：100 MHz 訊號、1 ps jitter  $\text{SNR} \approx -20 \log(2\pi \times 1\text{e}8 \times 1\text{e-}12) = 64 \text{ dB} \rightarrow \text{ENOB} \approx 10.4 \text{ bit}$

→ 高速高解析度 ADC 必須配低 jitter 時鐘。

## 1/f 雜訊

低頻時主導，靠 chopper 或 auto-zero 技術消除。

## 六、典型混合訊號 IC 設計

---

### Audio Codec

- $\Sigma$ - $\Delta$  ADC + DAC
- 高解析度 (24-bit)
- 整合微音放大器、耳機放大器
- 功能：DSP、Equalizer、Volume、HW codec

### 影像感測器

- 大量像素 ADC
- 行 / 列驅動
- 輸出介面 (MIPI CSI-2)

### 觸控控制器

- 自電容 / 互電容感測
- 多通道  $\Sigma$ - $\Delta$  ADC
- 演算法解碼

### Modem RF SoC

- 直接 RF 取樣
- 數位下變頻 (DDC)
- 解調

---

## 七、模擬與驗證

---

### 類比模擬

- SPICE (HSPICE、Spectre、ngspice、LTspice)
- 元件級精確
- 慢

### 混合訊號模擬

- AMS (Analog Mixed Signal)：Verilog-AMS、VHDL-AMS
- Real Number Modeling (RNM)：用 SystemVerilog 描述類比

- 工具：Spectre AMS、AFS、VCS-AMS

## 驗證方法

- Cosimulation（類比 + 數位）
  - 行為模型加速
  - FPGA + 類比訊號注入
- 

## 八、實務建議

---

### 1. 規格務實

- 不要過度追求高解析度（除非真的需要）
- 24-bit  $\Sigma-\Delta$  真實 ENOB 可能只 18-bit

### 2. 從 datasheet 學設計

- TI、ADI、Maxim 的應用筆記是寶藏
- 參考設計（Reference Design）省時

### 3. 模擬與量測對比

- SPICE 模擬必做
- 實際量測校正模型
- 多通道平均消除隨機誤差

### 4. 設計餘裕

- 雜訊預算（noise budget）建立
  - 各級增益分配
  - 動態範圍管理
- 

## 九、本章總結

---

✔ 您應該掌握：

- [x] 混合訊號的挑戰
- [x] PCB 層級隔離（地、電源、元件擺放）
- [x] IC 層級隔離（guard ring、deep N-well）

- [x] 訊號鏈雜訊預算
- [x] 量化噪聲與抖動的影響
- [x] 模擬與驗證方法

---

## 高級篇結束

---

恭喜！您完成了高級篇。接下來進入產品開發流程與製造。

`../05-?????/01-?????.md`