

第 3 章 10：類比數位轉換 (ADC / DAC)

ADC 與 DAC 是「類比世界與數位世界的橋樑」。感測器資料、音訊、視訊、通訊都離不開它們。

一、ADC 基本概念

取樣 (Sampling)

連續訊號 → 離散時刻取樣值。

量化 (Quantization)

連續振幅 → 離散階級。

編碼 (Encoding)

階級值 → 二進位碼。

取樣定理 (Nyquist)

$$f_s \geq 2f_{max}$$

取樣頻率必須至少是訊號最高頻率的 2 倍。

不滿足 → 混疊 (aliasing)：高頻偽裝成低頻，破壞訊號。

→ ADC 前必須加「抗混疊濾波器」(LPF)。

二、ADC 關鍵規格

1. 解析度 (Resolution)

Bit	階級數	滿幅 5V 時最小階距
8	256	19.5 mV
10	1024	4.88 mV
12	4096	1.22 mV
14	16384	305 μ V
16	65536	76 μ V
18	262144	19 μ V
20	1M	4.77 μ V
24	16M	298 nV

2. 取樣率 (Sample Rate)

每秒取樣次數 (SPS / SAS)。從 SPS (精密) 到 GSPS (高速)。

3. 訊雜比 (SNR)

理想 N-bit ADC：

$$\text{SNR} = 6.02N + 1.76\text{dB}$$

範例：12-bit $\rightarrow$ SNR $\approx$ 74 dB 16-bit $\rightarrow$ SNR $\approx$ 98 dB

實際因雜訊與失真會低 1–10 dB。

4. ENOB (有效位數)

實際 SNR 對應的「等效解析度」：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

16-bit ADC 的 ENOB 可能只有 13–14 bit，是真實性能指標。

5. THD (總諧波失真)

6. SFDR (無雜散動態範圍)

主峰與最大雜散峰的差值。通訊與雷達關鍵。

7. INL / DNL

線性度誤差：- INL：實際 vs 理想線 - DNL：相鄰階級的差異

8. 偏移誤差 / 增益誤差

可校正，影響不大。

9. 取樣抖動 (Aperture Jitter)

取樣時間的隨機誤差：- 高速 ADC (GSPS) 對 jitter 極敏感 - 1 ps jitter 可能就限制 16-bit 1 GSPS ADC 的性能

三、ADC 架構

1. Flash ADC

- $2^n - 1$ 個比較器同時比對
- 最快 (GSPS 級)
- 但功耗大、解析度受限 (< 8-bit)

應用：示波器、雷達、儀表

2. SAR (Successive Approximation)

- 二分搜尋逐位元決定
- 中速 (kSPS – MSPS)
- 中等解析度 (12–18 bit)
- 低功耗

應用：MCU 內建 ADC、中速資料採集

經典：AD7980、ADS127L01

3. Pipeline ADC

- 多級流水線

- 高速 (10–500 MSPS)
- 中等解析度 (12–16 bit)

應用：通訊基地台、高速儀器

4. Sigma-Delta (Σ - Δ) ADC

- 過取樣 + 雜訊整形 + 數位濾波
- 慢但極高解析度 (24–32 bit)
- 應用：精密量測、音訊

經典：ADS1256、ADS1262

5. Integrating ADC

- 雙斜率積分
- 慢但精確
- 抗 50/60 Hz 干擾好
- 應用：數位電表 (DMM)

6. Time-Interleaved ADC

多個 ADC 並行，輪流取樣，提升等效速率。

四、ADC 介面

並列輸出

- 高速 ADC (FPGA 介接)
- LVDS 差動輸出常見

SPI / I²C

- 中低速 ADC
- MCU 易整合

Frame-based

- DSP 連接 (McBSP)

五、典型 ADC 選用

應用	推薦
MCU 內建（一般感測器）	12-bit SAR @ 1 MSPS
音響	24-bit $\Sigma \Delta$ @ 192 kSPS
工業類比輸入	16/24-bit $\Sigma \Delta$
示波器（10 GHz）	Pipeline 12-bit @ 10 GSPS
直接 RF 取樣	RF Sampling ADC（如 ADC12DJ5200）
儀表	Integrating 或 $\Sigma \Delta$

六、DAC 基本概念

將數位輸入轉成類比電壓 / 電流

主要架構

1. R-2R Ladder

電阻網路產生加權電流。中速、中精度。

2. Binary Weighted

每位元一個獨立電阻。匹配難，少用於高位元。

3. Current-Steering DAC

差動電流源切換。高速（GSPS 級），高 SFDR。應用：DDS（Direct Digital Synthesis）、高速 DAC

4. Sigma-Delta DAC

過取樣 + 數位濾波。高解析度（24-bit 音響 DAC）。

5. PWM DAC

MCU GPIO + LPF：- 簡單便宜 - 慢、解析度有限

七、DAC 規格

- 解析度 (位元數)
 - 取樣率
 - 安定時間 (Settling Time)
 - 線性度 (INL/DNL)
 - Glitch energy
 - SFDR
 - 輸出範圍 (Voltage / Current)
-

八、DAC 應用

1. 音響

24-bit $\Sigma \Delta$ DAC：- ESS Sabre ES9038 - AKM AK4499 - Burr-Brown PCM1794

2. 訊號產生

任意波形產生器 (AWG)：- 高速 DAC (如 AD9164 16-bit @ 12 GSPS)

3. 控制系統

DC 偏壓、電流控制：- 12–16 bit DAC

4. RF / 通訊

直接 RF 合成：- DDS IC (AD9914) - 直接 RF DAC (GSPS 級)

九、實務問題

1. 參考電壓 (V_{ref})

ADC/DAC 的精度上限由 V_{ref} 決定。高精度系統需要：- 內建精密參考 (如 LM4140、ADR4540) - 良好濾波 - 溫度補償

2. 噪聲耦合

類比與數位地分離，單點連接。

3. PCB Layout

- ADC 模擬輸入走線短
- 抗混疊濾波器緊靠 ADC
- Vref 充分去耦
- 數位線 (CLK、SDO) 與類比線分開

4. 取樣時鐘

高速 ADC 的時鐘 jitter 極關鍵：- 用低 jitter 振盪器 (< 200 fs) - 走差動

5. 校準

精密應用需校準：- 偏移 - 增益 - INL

十、本章總結

✔ 您應該掌握：

- [x] ADC/DAC 的取樣、量化、編碼
- [x] Nyquist 取樣定理
- [x] ADC 規格 (解析度、SNR、ENOB、INL/DNL)
- [x] 五大 ADC 架構 (Flash、SAR、Pipeline、 $\Sigma \Delta$ 、Integrating)
- [x] DAC 架構與應用
- [x] 實務考量：Vref、layout、時鐘、校準

中級篇結束

恭喜！您完成了中級篇。接下來進入高級篇，深入更專業的領域。

../04-??/01-?????.md