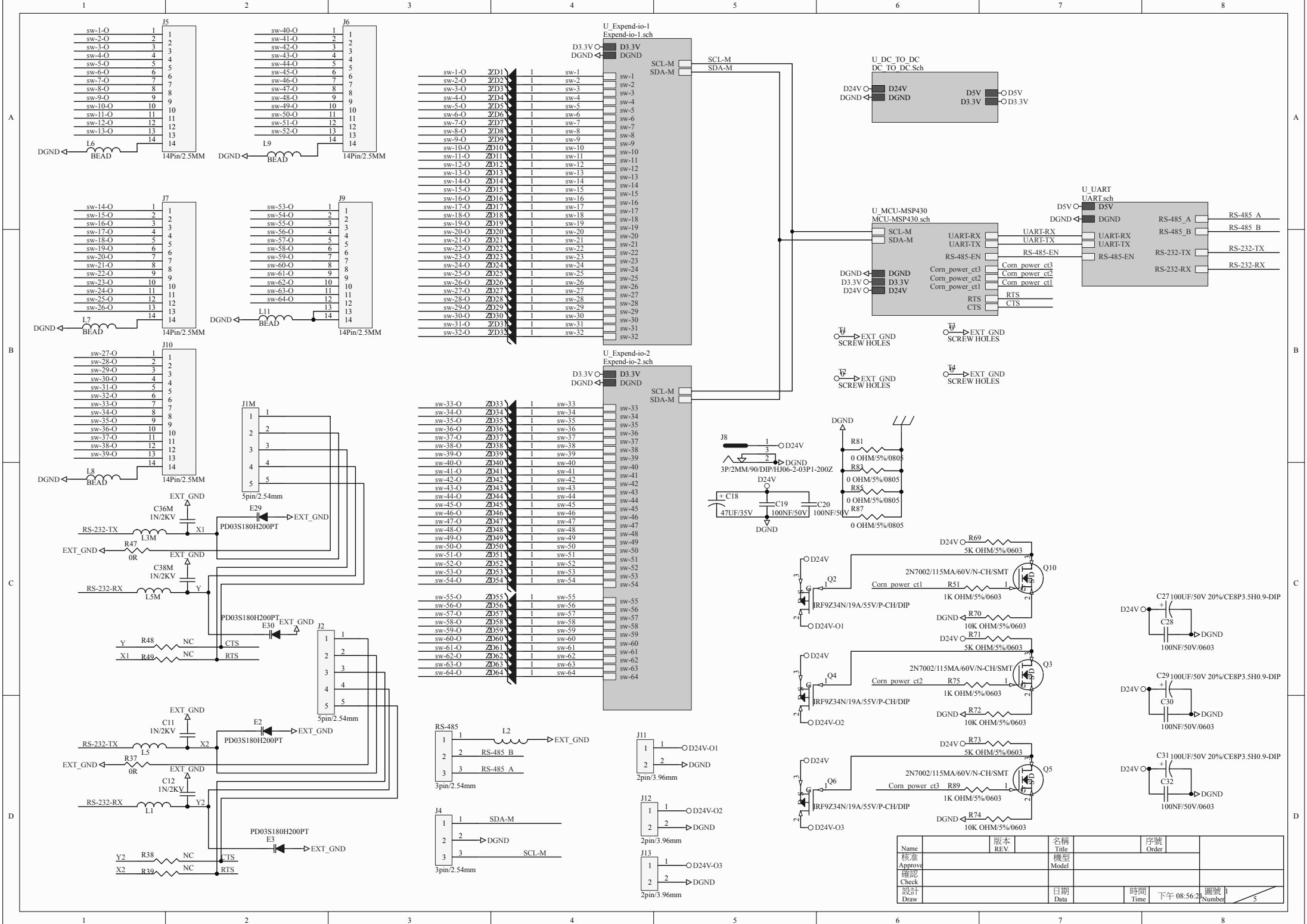
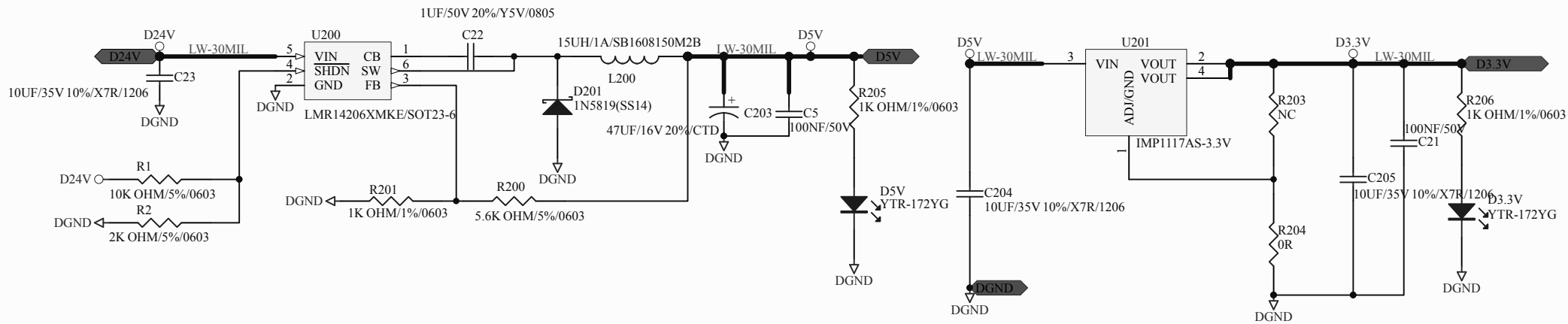




Name	核准	版本	名稱	序號
核准	核准	REV.	Title	Order
核准	核准		機型	Model
核准	核准		日期	Date
核准	核准		時間	Time
核准	核准		下午 08:56:21	圖號
核准	核准		Number	5



layout原則與注意事項 (工程師需備註說明):
1. CLK是否須包地?線寬?線距?
2. 高速訊號走線是否須等長?範圍?
3. 大電流訊號線寬?
4. 類比與數位訊號分開?
5. RTC訊號要包地,走線下方(即內層)不可有其他走線?
6. Other

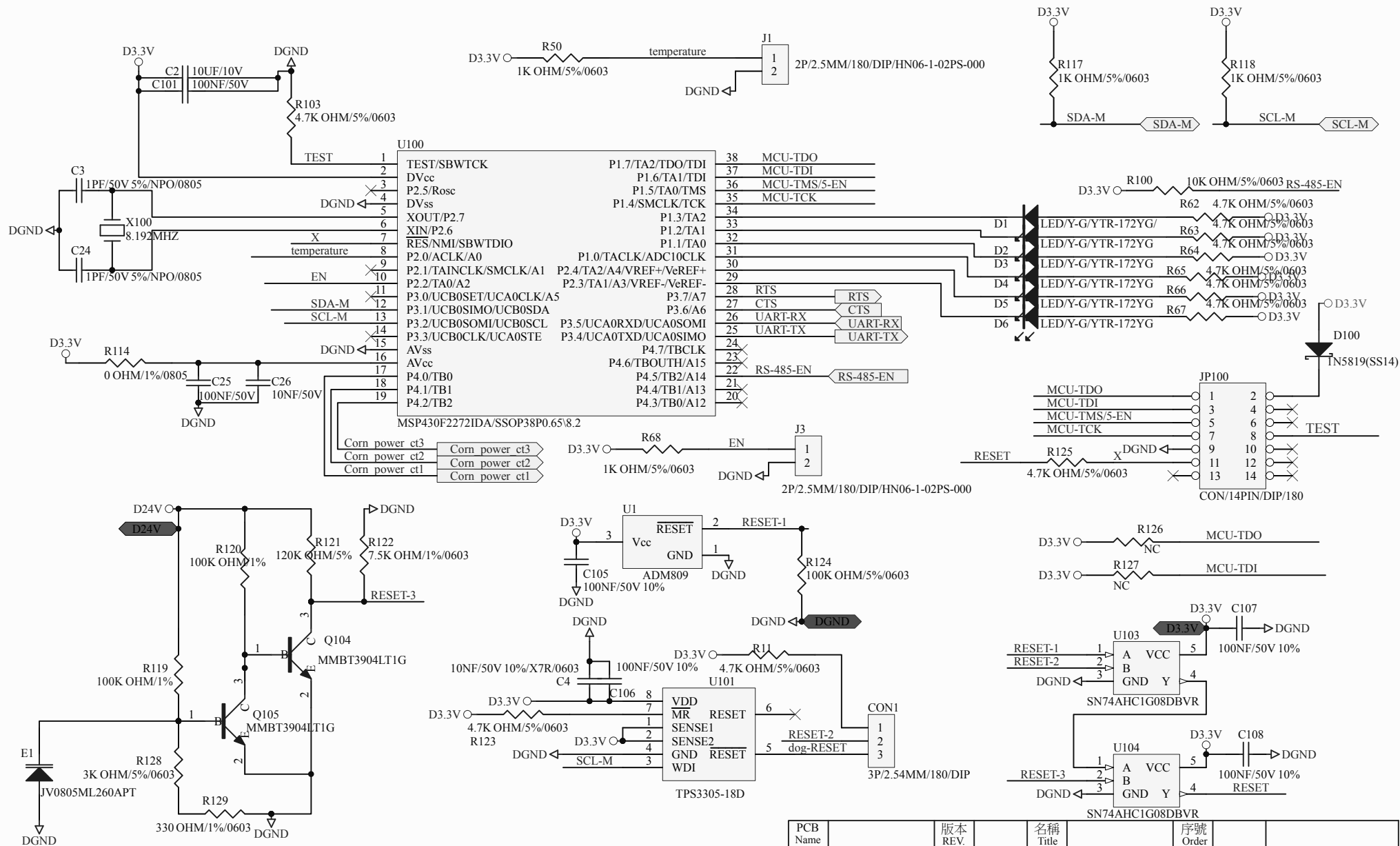
PCB Name		版本 REV.		名稱 Title		序號 Order		Cannot open file C:\PROGR AM
核准 Approve				機型 Model				
確認 Check								版權所有 盜版必究 "ALL RIGHT RESERVED"
設計 Draw				日期 Data	2018/5/15	時間 Time	下午 08:56:21	圖號 Number 2 5

1

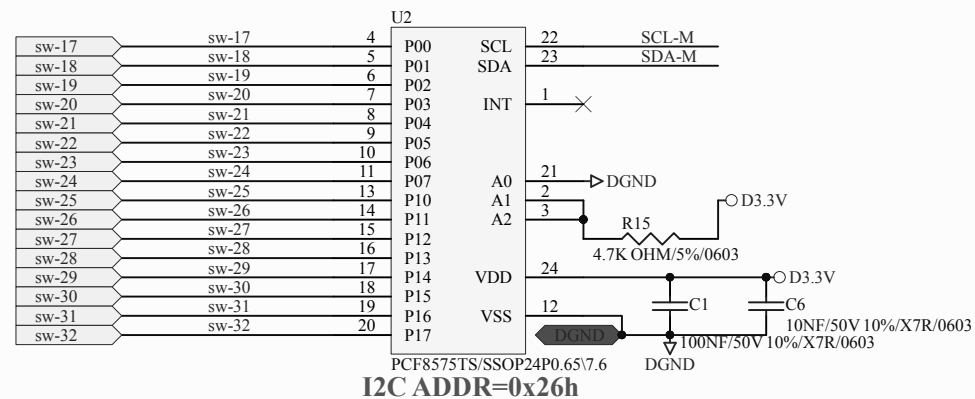
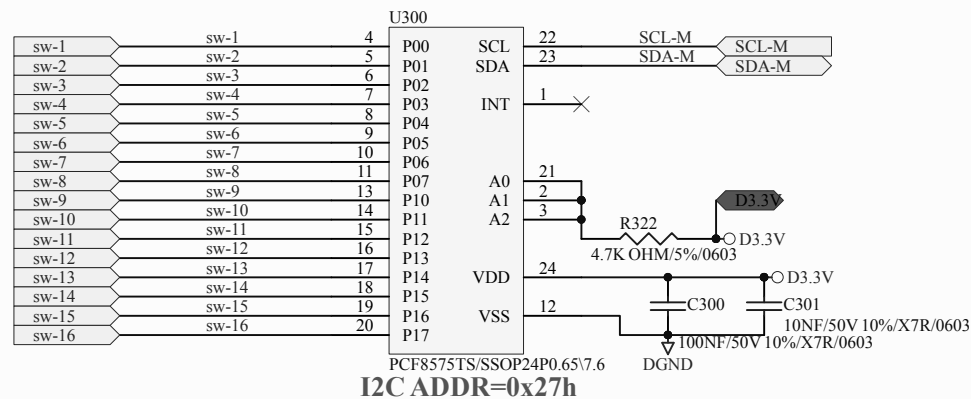
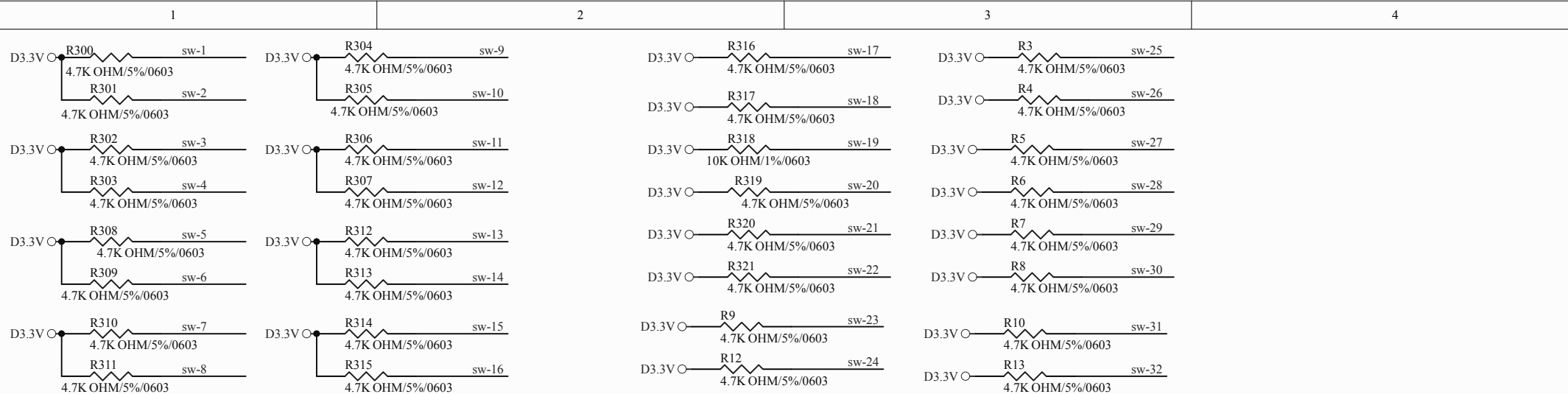
2

3

4



PCB Name	版本	名稱	序號	
核准	REV.	Title	Order	
Approve		機型		
確認		Model		
Check				
設計		日期	時間	圖號
Draw		Data	Time	Number
			下午 08:56:21	5



PCB Name		版本 REV.		名稱 Title		序號 Order		
核准 Approve				機型 Model				
確認 Check								
設計 Draw				日期 Data		時間 Time	下午 08:56:22	圖號 Number 4 / 5

1

2

3

4

A

A

B

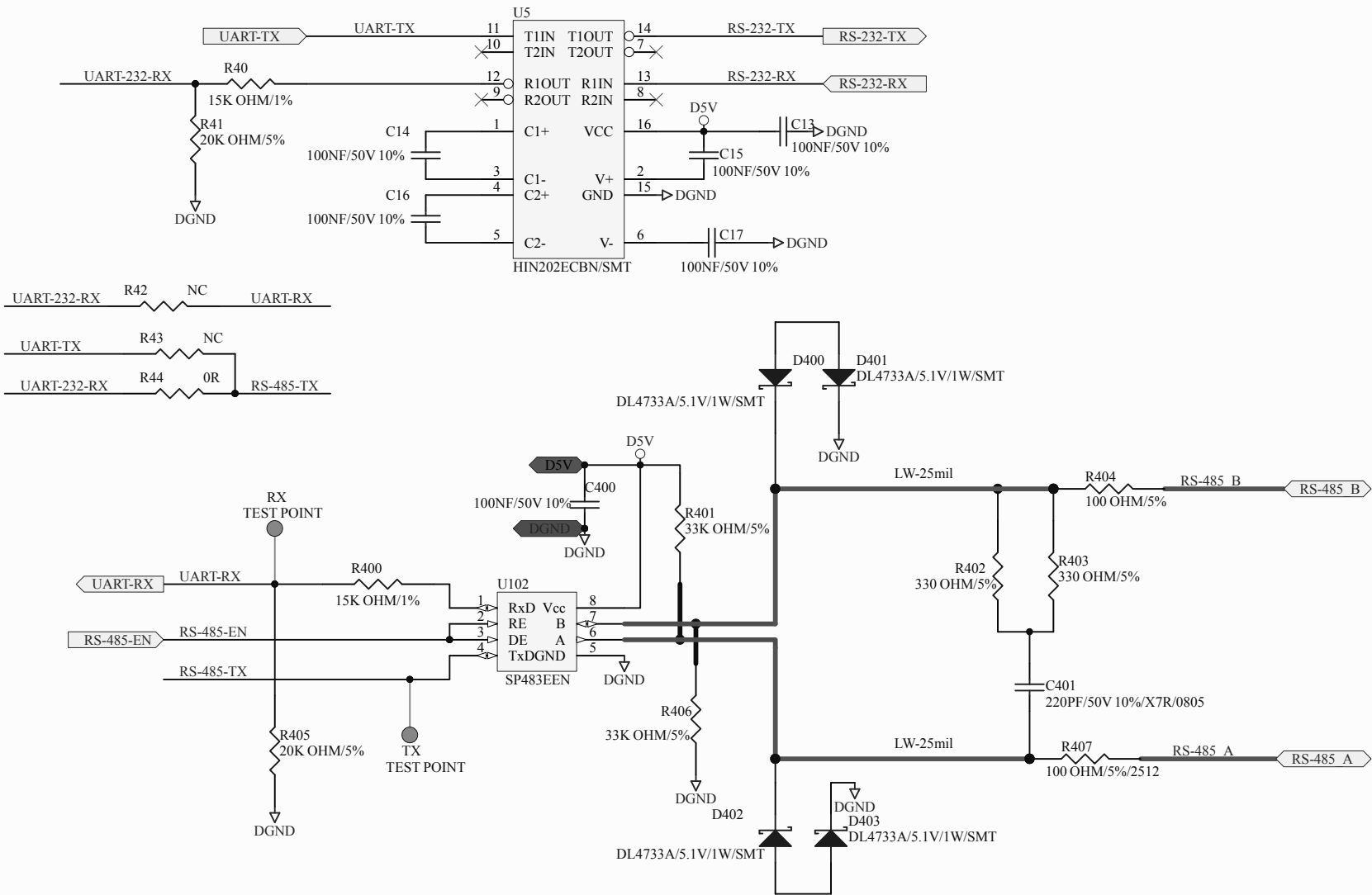
B

C

C

D

D



PCB Name	版本	REV.	名稱	Title	序號	Order	
核准			機型				
Approve			Model				
確認							
Check							
設計			日期	時間	下午 08:56:22	圖號	5
Draw			Data	Time		Number	5

1

2

3

4